

WO 2004/027877 A1



HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 抵抗変化機能体およびその製造方法

## 5 技術分野

本発明は、複数の微粒子を含む抵抗変化機能体およびその製造方法に関する。  
また、そのような抵抗変化機能体を備えたメモリ、回路および電子機器に関する。

なお、「抵抗変化機能体」とは、電圧を印加する前と後で電気抵抗が変化する素子を意味する。典型的には、抵抗変化機能体は絶縁体中に複数の導電性微粒子を含むものである。このような抵抗変化機能体はメモリ効果を有するメモリ機能体として動作させることができるため、本明細書では、抵抗変化機能体という用語とメモリ機能体という用語とを適宜用いるが、文中明らかに異なる場合をのぞき、前者は後者を含む概念である。

## 15 背景技術

近年、ナノメートルサイズの微粒子を用いて超微小な電子装置、例えば単電子トランジスタや単電子メモリ、ナノドットやナノクリスタルとよばれる微粒子をゲート絶縁膜に含むメモリが提案されている。この種のメモリは、クーロンブロッケイド現象などの量子サイズ効果を利用して低消費電力で動作することが期待されている。

しかしながら、従来の単電子トランジスタや単電子メモリでは、まさに電子1個または数個を格納することのできるナノサイズのドットを作製し、電子数個の流れを検出するために、非常に微細な加工を要し、集積化が困難な状況にある。また、多くの場合、熱揺らぎによる誤動作を抑制するため極低温にする必要があった。このため、クーロンブロッケイド現象等を用いたメモリ素子は、実用性に乏しく、実験レベルにとどまっている。

また、微粒子を浮遊ゲートに用いた従来のメモリ素子は、図62に示すように、P型シリコン基板2801中に形成されたソース・ドレイン領域2806の間のチャネル領域上に、熱酸化で形成した厚さ2nmの酸化膜2802と、その上に

形成された粒径 5 nm のシリコン微粒子 2803 と、そのシリコン微粒子を覆うように形成された酸化膜 2804 と、ゲート電極となるポリシリコン層 2805 と、より構成されている。

上記シリコン微粒子 2803 を絶縁膜中に形成する方法としては、シリコン熱酸化膜 2802 上に LPCVD（低圧化学的気相堆積）装置によってアモルファスシリコンを堆積した後アニール処理してシリコン微粒子 2803 を形成し、さらにシリコン微粒子 2803 の上に CVD（化学的気相堆積）法によってシリコン酸化膜 2804 を堆積する方法が提案されている（例えば、特開 2000-22005 号公報参照。）。

このように微粒子を絶縁体中に形成する手法としては CVD や蒸着、MBE（分子線エピタキシ）などを用いて基板上に結晶を作成する方法や、薄膜を形成したのちエッチングなどの微細加工技術を用いる方法が提案されている。このような方法では微粒子を形成したのち絶縁体層をその上に積層している。

この種のメモリ素子は微粒子の面密度が不十分なことや、微粒子のおおきさの微小化が不十分なことが多く、それゆえメモリウィンドウが狭い、あるいはばらつきが大きい、あるいは保持特性が悪いといった欠点があった。

面密度をあげるためには、CVD や蒸着、MBE などを用いて微粒子を形成する方法では、一度の工程では一平面上にしか作成できないので、何度も同様の工程を繰り返す必要があった。

また、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法では、微粒子の大きさと微粒子間の距離を同時にナノメートルオーダーまで縮小することは極めて困難である。

一方において、多数の導電性微粒子が一度に作製され且つこの導電性微粒子が熱安定性に優れたナノメートルサイズの微粒子（ナノドット）である抵抗素子は、未だ知られてはいない。

## 発明の開示

そこで、この発明の課題は、複数の微粒子を含み電圧を印加する前と後で電気抵抗が変化する抵抗変化機能体であって実用性があるものを提供することにある。

また、この発明の課題は、そのような抵抗変化機能体を生産性良く作製できる抵抗変化機能体の製造方法を提供することにある。

また、この発明の課題は、そのような抵抗変化機能体を備えたメモリ、回路および電子機器を提供することにある。

上記課題を解決するため、この発明の抵抗変化機能体は、

第1電極と第2電極との間に挟まれた第1物質からなる物体と、

上記物体中に、上記第1電極と第2電極との間に所定の電圧を印加した前後で、上記第1電極と第2電極との間の電気抵抗を変化させるように配置された、第2物質からなる複数の微粒子を備え、

10      上記第1物質は第2物質に対して電氣的に障壁となることを特徴とする。

この構成によれば、上記第1電極と第2電極との間に所定の電圧を印加することにより、第2物質からなる複数の微粒子の状態によって第1電極と第2電極の間の電気抵抗が変化する。つまり、電気抵抗を電氣的に制御することができる。

15      また、第1物質は第2物質の対して電氣的に障壁となるので、主に第2物質からなる微粒子の状態によって電気抵抗を変化させることができる。また、第1物質からなる物体中に第2物質からなる微粒子が含まれるような簡単な構造なので、この抵抗変化機能体は小型に低コストで作製される。したがって、実用性がある抵抗変化機能体が提供される。

20      一実施形態の抵抗変化機能体は、上記第1物質からなる物体は絶縁体であり、上記第2物質からなる微粒子は導電性微粒子であることを特徴とする。

言い換えれば、この抵抗変化機能体は、

第1電極と第2電極との間に挟まれた絶縁体と、

25      上記絶縁体中に、上記第1電極と第2電極との間に所定の電圧を印加した前後で、上記第1の電極と第2の電極との間の電気抵抗を変化させるように配置された、複数の導電性微粒子を備えたことを特徴とする。

この構成によれば、導電性微粒子は絶縁体中に配置されているので、第1電極と第2電極の間に電圧を印加した時に、大電流が流れることを抑制することができる。消費電力を抑制することができる。また導電性微粒子を用いているので、電気を蓄積する能力や、電気伝導性に優れるために、電氣的に状態を変化させるこ



とが容易である。したがって、電氣的に効率よく抵抗変化を行うことが可能な抵抗変化機能体が提供される。

ここで、「導電性微粒子」とは、バルク状態において導電性を有する物質で形成されている微粒子のことである。もしくは電荷を少なくとも一個蓄積する能力を有する微粒子のことである。

一実施形態の抵抗変化機能体では、上記第1の電極と第2の電極との間を流れる電流の大小が電荷阻止効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電体微粒子が分布している。

この構成によれば、導電体微粒子に蓄積された電荷により、電流を形成している電荷に対し影響を及ぼし、電流の流れを阻害することが可能になる。したがって、導電性微粒子に蓄積される電荷の有無あるいは多寡により、電流の大小を変化させることができる。また、導電性微粒子は絶縁体中に分布しているので、微粒子に蓄積された電荷は、長時間安定して保持される。したがって、記憶状態を保持するために必要な電力を削減することができ、低消費電力化が可能となる。したがって、この抵抗変化機能体を用いて、電流の大小によって記憶状態を判別するメモリを作製することができる。

一実施形態の抵抗変化機能体では、上記導電性微粒子の粒径は、0.2 nm以上且つ4 nm未満のものを含むことを特徴とする。

このような構成にすることにより、上記抵抗変化機能体を通して流れる電流の大小を大きく変化させることができる。なお、微粒子の大きさが大きすぎても小さすぎても、必要な電圧が大きくなったり、特性が不安定になったりして、機能が低下する。また、大きすぎるものについては、小型化が難しくなる。

この発明のメモリは、上記抵抗変化機能体を備え、上記抵抗変化機能体に流れる電流の向きを定めるように、整流作用を有する整流機能体が上記抵抗変化機能体と電氣的に直列に接続されていることを特徴とする。

このような構成にすることにより、整流機能体によって、上記抵抗変化機能体に流れる電流の無機が一方向に限定される。これにより、上記抵抗変化機能体をそれぞれ含む複数のセルを行列状に配置し、それらの中から特定のセルを選択して動作させようとする場合に、非選択のセルに無用な電流が流れるのを上記整流

機能体によって阻止できる。従って、セルの選択が容易になる。

また、上記整流機能体はショットキー接合を有するのが望ましい。このショットキー接合は金属と半導体の接合で作製され得る。したがって、既存の半導体製造装置で容易に製造可能であり、生産性に優れる。

- 5       また、上記整流機能体はPN接合を有するのが望ましい。このPN接合は半導体を用いて作製され得る。したがって、既存の半導体製造装置で容易に製造可能であり、生産性に優れる。また、P型半導体とN型半導体の濃度を調整することにより接合の特性を容易に変えることが可能であるので、汎用性に優れる。

- 10       また、上記整流機能体は整流作用を有する接合を備え、この接合を構成する物質の少なくとも一方は連続粒界シリコンであるのが望ましい。この場合、上記接合を形成するためには、エピタキシャル成長のような高温を必要としない。また通常の多結晶シリコンよりも結晶性がよいので、移動度が高く高速動作が可能となる。

- 15       別の局面では、この発明のメモリは、上記抵抗変化機能体を備え、上記抵抗変化機能体を選択するための選択トランジスタが上記抵抗変化機能体と電気的に直列に接続されていることを特徴とする。

- 20       この構成によれば、選択トランジスタをON（オン）またはOFF（オフ）することによって、セルを選択しまたは非選択にすることができる。また、選択トランジスタをOFFすることによって抵抗変化機能体を通して電流が流れるのを防ぐことができるので、抵抗変化機能体の電流の流れ易さが変化するのを防ぐことができる。したがって、長時間安定した機能を維持することができる。

また、別の局面では、この発明のメモリは、

上記抵抗変化機能体を含むメモリセルを少なくとも2つ備え、

上記2つのメモリセルの上記第1物質からなる物体は一体に連続して形成され、

- 25       上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電気的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電気的に分離されていることを特徴とする。

この発明のメモリでは、上記2つのメモリセルの上記第1物質からなる物体は

一体に連続して形成されている。また、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されている。したがって、別個に形成する場合に比べ分離領域を形成しなくてもよいので、占有面積を縮小することが可能となる。なお、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されているので、上記2つのメモリセルは互いに独立に動作することが可能である。

また、別の局面では、この発明のメモリは、上記抵抗変化機能体と、上記抵抗変化機能体を選択するための選択トランジスタと、上記抵抗変化機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備え、

上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっており、

上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置され、

第1のセルと第2のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通であり、

第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通であり、

第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通であり、

第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラインと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通であることを特徴とする。

この発明のメモリでは、ワードライン、ビットライン、ソースラインを大幅に共用することができ、配線を削減することができる。したがって、占有面積の削減が可能となる。

また、上記抵抗変化機能体を含むメモリセルが上記基板に対して平行な方向に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルの

上記第 1 物質からなる物体は一体に連続して形成されていることが望ましい。

この場合、抵抗変化機能体をセル毎に分離する工程が省けるので、生産性が向上する。

5 また、上記抵抗変化機能体とこの抵抗変化機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、上記基板に対して平行な方向に少なくとも 2 つ配置され、上記基板に対して平行な方向に隣り合うメモリセルの上記第 1 物質からなる物体および／または整流機能体は一体に連続して形成されていることが望ましい。

10 この場合、抵抗変化機能体をセル毎に分離する工程および／または整流機能体をセル毎に分離する工程が省けるので、生産性が向上する。

一実施形態の抵抗変化機能体では、上記第 1 物質からなる物体に対して、上記第 1 の電極と第 2 の電極とが対向する方向に略垂直な方向から電圧を印加し得る第 3 電極が隣接していることを特徴とする。

言い換えれば、この抵抗変化機能体は、

15 第 1 電極と第 2 電極との間に挟まれた第 1 物質からなる物体と、

上記物体中に、上記第 1 電極と第 2 電極との間に所定の電圧を印加した前後で、上記第 1 電極と第 2 電極との間の電気抵抗を変化させるように配置された、第 2 物質からなる複数の微粒子を備え、

上記第 1 物質は第 2 物質に対して電氣的に障壁となり、

20 上記第 1 物質からなる物体に対して、上記第 1 の電極と第 2 の電極とが対向する方向に略垂直な方向から電圧を印加し得る第 3 電極が隣接していることを特徴とする。

25 ここにおいて、上記抵抗変化機能体に上記第 3 の電極が「隣接」するとは、上記第 1 物質からなる物体に対して、上記第 3 の電極が直接接する場合と、絶縁膜を介して接する場合とを含む。また、「略垂直な方向から電圧を印加し得る」とは第 3 電極からの電気力線が第 1 電極と第 2 電極の対向する方向と垂直方向の成分を含むような構成であって、好ましくは電気力線の方角成分のほとんどがその垂直成分である構成を有していることである。

本発明者が実験したところ、上記第 3 の電極によって、上記第 1 の電極と第 2

の電極とが対向する方向に垂直な方向から電圧を印加すれば、上記抵抗変化機能体を通して、つまり第1の電極と第2の電極との間を流れる電流の大小がさらに大きく変化することが分かった。つまり、抵抗変化の幅が増大して、機能が向上するのである。また、この抵抗変化機能体をメモリ機能体として用いたならば、

5   メモリウインドウ（ヒステリシス）の幅が増大して、記憶状態を読み出すときの読出しエラーが減少する。したがって、メモリの信頼性が向上する。

一実施形態の抵抗変化機能体は、上記第3電極に印加する電圧の正負により、電気的特性が異なることを特徴とする。つまり、第3電極の対向する方向に電気的特性が非対称性を有している。

10   これにより、第3電極に加える電圧の正負により、抵抗変化機能体の抵抗を制御することが可能となる。したがって、紫外線照射などを用いることなく、第3電極に加える電圧の正負により抵抗を制御することが容易になる。したがって、電気的に制御可能な、使いやすく、汎用性のある抵抗変化機能体を構成できる。また、第3電極に加える電圧あるいは電流の状態によって、抵抗変化を電気的に

15   可逆的に変化させることが容易になる。したがって、書き換え可能なメモリを容易に構成することができ、高速動作が可能となる。

例えば、第3電極に近い方が微粒子のサイズが小さく、第3電極から遠い方が微粒子のサイズが大きい、または、第3電極から遠い方が微粒子のサイズが小さく、第3電極に近い方が微粒子のサイズが大きいことによって、第3電極の対向

20   する方向に関して上記微粒子の平均容量が変化していれば、電気的特性が非対称性を有する。

一実施形態の抵抗変化機能体は、上記複数の微粒子として、比較的小さな微粒子と、比較的大きな微粒子の少なくとも2種類の微粒子が存在することを特徴とする。

25   この構成により2種類の微粒子はお互いに違う機能を担うことができる。したがって、1種類の微粒子を用いて2つの機能を担う場合のように2つの機能の性能の間でトレードオフが生じることを回避することが可能になる。よって、性能のよい抵抗変化機能体を構成することができる。

例えば、主に電荷を蓄積する微粒子と、主に電流を流すために電荷を伝達する

微粒子の少なくとも2種類に分ければ、抵抗変化機能体の安定した動作が可能となる。また、この抵抗変化機能体をメモリ機能体として用いれば、読み出し時に誤書き込みや誤消去を抑制することが可能となり、不揮発あるいは準不揮発なメモリを構成することが可能となる。

一実施形態の抵抗変化機能体では、上記微粒子は、上記第1電極と第2電極とを結ぶ方向に対して略平行な層方向に関して一様に分布するとともに、上記層方向に対して垂直な厚さ方向に関して或る範囲内に分布していることを特徴とする。

この構成によれば、上記微粒子が上記厚さ方向に関して或る範囲内に分布しているので、上記厚さ方向に電流が過度に流れ難くなったり、過度に流れ易くなったりすることが抑制される。したがって、上記層方向両側に設けられた上記第1電極と第2電極との間の電気抵抗の変化が安定する。この結果、安定した特性が得られる。

一実施形態の抵抗変化機能体では、上記微粒子を構成する元素の濃度は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする。

一実施形態の抵抗変化機能体では、上記微粒子の密度は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする。

一実施形態の抵抗変化機能体では、上記微粒子の粒径は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする。

これらの実施形態によれば、上記厚さ方向に電流が過度に流れ難くなったり、過度に流れ易くなったりすることが抑制される。したがって、安定した特性が得られる。

一実施形態の抵抗変化機能体では、比較的大きな微粒子と比較的小さな微粒子との少なくとも2つの微粒子を含み、

上記層方向に沿った面に対して、上記2つの微粒子を結ぶ直線が交わる角度が45度以上であることを特徴とする。

このような構成にすることにより、第1電極と第2電極の間に電流を流す場合、

比較的大きな微粒子と比較的小さな微粒子の両方を伝って電流が流れることを抑制することができる。また、比較的大きな微粒子と比較的小さな微粒子の間で電荷の移動が起こる可能性を抑制することができる。したがって、比較的大きな微粒子を伝って電流が流れている時に比較的小さな微粒子には、電荷の出入りが起こらないようにすることが可能となる。従って、主に電荷を蓄積する微粒子と、主に電流を流すために電荷を伝達する微粒子の少なくとも２種類に分けることができる。これにより、抵抗変化機能体の安定した動作が可能となる。また、この抵抗変化機能体をメモリ機能体として用いれば、読み出し時に誤書き込みや誤消去を抑制することが可能となり、不揮発あるいは準不揮発なメモリを構成することが可能となる。

一実施形態の抵抗変化機能体では、上記微粒子の粒径の分布は、上記厚さ方向に関して上記粒径が最大となる位置の両側で非対称になっていることを特徴とする。

このような構成にすることにより、粒径は上記層方向には比較的粒径が揃った粒子が揃うようになり、上記厚さ方向には異なる微粒子が並ぶようにすることができる。したがって、第１電極と第２電極の方向には電荷がスムーズに移動することができるが、第３電極からの電荷は途中の微粒子にトラップされやすくなることができる。したがって、第１電極と第２電極との間では抵抗が少なく無駄な電力消費を抑えることができ、第３電極からは電荷は無駄に流れて出すことを防ぐことができ、無駄な電力消費を抑えることができる。したがって、抵抗変化機能体の電気的特性が向上する。

例えば、第３電極に近い方が微粒子のサイズが小さく、第３電極から遠い方が微粒子のサイズが大きいのが望ましい。または、第３電極から遠い方が微粒子のサイズが小さく、第３電極に近い方が微粒子のサイズが大きいのが望ましい。

また、第３電極に近い方が微粒子の電気容量が小さく、第３電極から遠い方が微粒子の電気容量が大きいのが望ましい。または、第３電極から遠い方が微粒子の電気容量が小さく、第３電極に近い方が微粒子の電気容量が大きいのが望ましい。第３電極の対向する方向に関して上記微粒子の平均容量が変化しているのが望ましい。

これらのような構成にすることにより、上記第1電極と第2電極とを結ぶ方向に略垂直な方向へ電圧を印加したり、電流を流したりした場合に、その印加方向や電流方向によって、抵抗変化機能体の抵抗を変化することが容易になる。したがって、効率よく動作させることができるので、低消費電力化が可能となる。

- 5       一実施形態の抵抗変化機能体では、上記第1物質からなる物体は絶縁体であり、上記厚さ方向の上記絶縁体の膜厚は、2 nm以上且つ50 nm未満であることを特徴とする。

10       このような構成にすることにより、上記絶縁体の膜厚が50 nm未満であるから、第3電極に電圧を加えた時の効果が顕著になる。したがって、第3電極に加える電圧を低くすることが可能となる。また上記膜厚が2 nm以上であるから、上記微粒子から第3電極へ意図せず電荷がトンネルしてしまったり、上記微粒子と第3電極が短絡したりすることが抑制される。したがって、無駄なリーク電流を抑制でき、消費電力を低減できる。

- 15       別の局面では、この発明のメモリは、上記抵抗変化機能体を備えたメモリであって、

      上記第1の電極と第2の電極がそれぞれ基板の表面に形成された拡散領域からなり、

      上記第1物質からなる物体が上記基板の表面のうち上記拡散領域の間の領域に形成されていることを特徴とする。

- 20       別の局面では、この発明のメモリは、上記抵抗変化機能体を備えたメモリであって、

      上記第1の電極と第2の電極がそれぞれ半導体基板の表面に形成された拡散領域からなり、

- 25       上記第1物質からなる物体が上記半導体基板の表面のうち上記拡散領域の間の領域に形成され、

      上記第3の電極が上記第1物質からなる物体上に設けられていることを特徴とする。

      また、一実施の形態のメモリでは、上記第1電極と第2電極は上記基板の一部を導電体物質に置き換えて形成されていることを特徴とする。



このような構成にすることにより、上記抵抗変化機能体をMOS型トランジスタのチャネル部分に組み込んだものに近い構造にすることが可能である。この場合、構造が論理トランジスタに近い構造のため、製造や回路設計が低コストで可能となる。また、論理回路に組み込むことも容易である。さらに上記抵抗機能体をメモリとして用いて、記憶回路を構成することができるので、論理回路と記憶回路の混載も容易となり、電子機器の小型が可能となる。

また、別の局面では、この発明のメモリは、上記抵抗変化機能体を備えたメモリであって、

上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなり、  
上記第1物質からなる物体が上記導電体の間に挟まれた領域に形成された絶縁体からなり、

上記第3の電極が上記絶縁体上に設けられていることを特徴とする。

このような構成にすることにより、上記抵抗変化機能体をソース、ドレイン、チャネルが欠如した積み上げ拡散層付きのMOS型トランジスタの絶縁膜部分に組み込んだものにほぼ等しいか近い構造を有する。

このような構成にすることにより、上記抵抗変化機能体をTFT（薄膜トランジスタ）の絶縁体部分に組み込んだものに近い構造にすることが可能である。この場合、構造が論理トランジスタに近い構造のため、製造や回路設計が低コストで可能となる。また、論理回路に組み込むことも容易である。さらに上記抵抗機能体をメモリとして用いて、記憶回路を構成することができるので、論理回路と記憶回路の混載も容易となり、電子機器の小型が可能となる。またガラス基板や有機物に形成することも可能となる。

また、一実施形態の抵抗変化機能体は、上記第1物質からなる物体を挟んで上記第3電極に対向する位置に第4電極を備え、上記複数の微粒子は、上記第3電極と第4電極との間に所定の電圧を印加した前後で、上記第1の電極と第2の電極との間の電気抵抗を変化させるように配置されていることを特徴とする。

言い換えれば、この抵抗変化機能体は、

第1電極と第2電極との間に挟まれた第1物質からなる物体と、

上記物体中に、上記第1電極と第2電極との間に所定の電圧を印加した前後で、

上記第 1 電極と第 2 電極との間の電気抵抗を変化させるように配置された、第 2 物質からなる複数の微粒子を備え、

上記第 1 物質は第 2 物質に対して電氣的に障壁となり、

5 上記第 1 物質からなる物体に対して、上記第 1 の電極と第 2 の電極とが対向する方向に略垂直な方向から電圧を印加し得る第 3 電極が隣接すると共に、

上記第 1 物質からなる物体を挟んで上記第 3 電極に対向する位置に第 4 電極を備え、

10 上記複数の微粒子は、上記第 3 電極と第 4 電極との間に所定の電圧を印加した前後で、上記第 1 の電極と第 2 の電極との間の電気抵抗を変化させるように配置されていることを特徴とする。

このような構成にすることにより、上記第 3 電極と第 4 電極の間に電圧を印加すれば、上記第 1 の電極と第 2 の電極との間を通して流れる電流の大小がさらに大きく変化することがわかった。また充分な抵抗変化が起こるまでに要する印加時間も短くできることが分かった。つまり、抵抗変化の幅が増大したり、抵抗変化の速度が増大して、機能が向上するのである。またこの抵抗変化機能体をメモリ機能体として用いたならば、メモリウインドウ（ヒステリシス）の幅が増大して、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。また動作速度が増大し、機能が向上する。

20 別の局面では、この発明のメモリは、上記抵抗変化機能体が基板に対して垂直な方向に少なくとも 2 つ積層されていることを特徴とする。

このような構成にすることにより上記抵抗変化機能体が基板に対して垂直な方向に少なくとも 2 つ積層されて、3 次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、上記抵抗変化機能体をメモリ機能体として用いた場合にはメモリ容量の増大が可能となる。

25 なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。また、コンパクトで低電圧動作可能なランダムアクセスメモリを実現することができる。

この発明の抵抗変化機能体の製造方法は、上記抵抗変化機能体を製造する製造

方法であって、

上記第1物質からなる物体中に上記微粒子を形成するための第2物質を負イオン注入法により注入する工程を含むことを特徴とする。

上記第1物質からなる物体は絶縁体であり、上記第2物質からなる微粒子は導電性微粒子であるのが望ましい。

このような方法により、一度の負イオン注入により上記導電性微粒子を形成することができる。したがって、抵抗変化機能体を生産性よく作製できる。

なお、物質中に導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、イオン注入を用いる方がより好ましい。イオン注入によれば、物質中に導電性微粒子を一度の処理で短時間に高密度に形成できるとともに、上記物質の厚さ方向に導電性微粒子を分布させることも容易にできる。

したがって、物質中に導電性微粒子を抵抗変化が効果的に発現するような所定の密度（高密度）に形成することや、抵抗変化が発現するように上記絶縁体の厚さ方向に導電性微粒子を分布させることが容易で、生産性が良い。しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

また、このようにイオン注入によって上記絶縁体中に導電性微粒子を形成すれば、作製された抵抗変化機能体は、上記物質の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する状態にすることが容易である。また、上記物質の厚さ方向に、上記導電性微粒子を構成する元素の密度が高い領域に連なって上記元素の密度が低い領域が存在する状態にすることが容易である。さらに、上記物質の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する状態にすることが容易である。このような状態になれば、既述のように、抵抗変化機能体の特性が安定する。

また、上記導電性微粒子を形成するための物質を負イオン注入法により注入し

ているので、注入時に第1物質やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入位置のばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記第1物質が破壊して欠陥が生じるのを抑制できる。これらの結果、信頼性の高い抵抗変化機能体が形成される。

また、一実施の形態の抵抗変化機能体の製造方法では、上記第1の電極、上記絶縁体および上記第2の電極が、基板の表面に沿ってこの順に並ぶように形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程とを含むことを特徴とする。

また、一実施の形態の抵抗変化機能体の製造方法では、基板の表面に、上記絶縁体を形成し、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程と、上記絶縁体の両側に接するようにそれぞれ第1の電極、第2の電極を形成する工程とを含むことを特徴とする。

また、一実施の形態の抵抗変化機能体の製造方法では、更に上記絶縁体上に第3の電極を形成する工程とを含むことを特徴とする。

また、一実施の形態の抵抗変化機能体の製造方法では、上記抵抗変化機能体における第3電極および第4電極のうちの一方を形成する工程と、上記形成された一方の電極上に上記絶縁体を形成する工程と、上記絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法によって注入する工程を含んでいる。

上記構成によれば、上記第3電極および第4電極のうちの一方上に形成された絶縁体中に、上記導電性微粒子を形成するための物質がイオン注入によって注入される。したがって、上記第3、第4電極間の電気抵抗がサイズ効果によって変化するように、上記導電性微粒子が絶縁体の厚さ方向に分布することになる。すなわち、一度のイオン注入によって、所望の機能を呈するような上記導電性微粒子が、短時間に生産性良く形成される。

また、一実施の形態の抵抗変化機能体の製造方法では、上記負イオン注入が終了した後に、水素シンターを行う工程を含んでいることを特徴とする。

この工程を行うことにより、界面準位等の微粒子以外の電荷トラップ要因が抑制されて動作特性が安定し、信頼性が向上する。

また、一実施の形態の抵抗変化機能体の製造方法では、上記負イオン注入が終

了した後に、500℃以上の温度で熱処理を行う工程を含んでいることを特徴とする。

この工程を行うことにより、上記絶縁体（第1物質）中の欠陥を減らすことができるため、電気特性が改善されて特性が安定化し、信頼性が向上する。

5 別の局面では、この発明のメモリは、上述の抵抗変化機能体を備える。

この発明のメモリでは、微粒子を用いた抵抗変化機能体を用いているため、従来に比してメモリを小型に構成される。上述の抵抗変化機能体は比較的低電圧で動作可能になる。

10 また、高い生産性を有し、リーク耐性に優れ、さらに微細化が可能な不揮発性メモリが得られる。

この発明の回路は、上述のメモリを有する。

この発明の回路によれば、上記メモリは微細化が容易であるので、回路の占有面積を縮小して、小型化が有効に行なえる。

15 また、上述の回路を備えた半導体装置では、占有面積の縮小が可能なセルを用いているため、従来に比して回路の占有面積を縮小することができ、小型に構成される。上述の抵抗変化機能体はメモリとして用いることができ、比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

20 この発明の電子機器は、上記回路を備える。

この発明の電子機器によれば、上記回路の占有面積が小さくてすむので、電子機器の小型化を図ることができる。

25 この発明の電子機器では、上述の回路が小型に構成される結果、この機器を小型することが可能である。また、上述の回路が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

別の局面では、この発明の抵抗変化機能体は、第1の導電体と第2の導電体との間に形成された第1の材料からなる媒体と、

上記媒体中に形成され、第2の材料で覆われていると共に第3の材料からなる

少なくとも1つの微粒子とを備え、

上記第2の材料は、電荷の通り抜けに対する障壁として働く材料であり、

上記第3の材料は、電荷を保持する機能を有する材料であることを特徴とする。

この発明の抵抗変化機能体では、上記第3の材料からなる微粒子は、上記第2  
5 の材料に覆われているので、上記微粒子と、上記第1の材料からなる媒体との間  
で電荷が出入りすることが抑制される。したがって、上記微粒子に保持された電  
荷の量は、長時間に亘って変動が少なくなる。したがって、この抵抗変化機能体  
をメモリ機能体として用いた場合、メモリ機能が長時間に亘って安定する。

ここで、「導電体」または「導電性物質」とは、金属や半導体を含み、また、  
10 導電性を有する限り、有機物からなるものをも含む。また、「微粒子」とは、粒  
径（直径）が1  $\mu\text{m}$ 未満の粒子をいう。

一実施形態の抵抗変化機能体では、上記第2の材料は、上記第3の材料が組成  
変化あるいは化学修飾されてなることを特徴とする。

この一実施形態の抵抗変化機能体では、上記第2の材料は、上記第3の材料が  
15 組成変化あるいは化学修飾されてなるので、上記第2の材料と第3の材料との界  
面は、第2の材料が第3の材料の組成変化したものあるいは化学修飾されたもの  
でない材質からなる場合に比べて、例えば界面準位が比較的少なく、良好な状  
態になる。したがって、上記第3の材料からなる微粒子は、保持する電荷のリー  
クが従来のメモリ素子に比して少なくなる。したがって、長時間に亘って電荷の  
20 保持が可能なメモリ機能体の実現できる。

一実施形態の抵抗変化機能体では、上記第2の材料は、上記第3の材料が酸化  
または窒化されてなる。

この一実施形態の抵抗変化機能体では、上記第2の材料は、上記第3の材料を  
酸化または窒化して得られる。したがって、この抵抗変化機能体は、半導体産業  
25 で広く用いられている既存の酸化炉などを使用して製造できる。したがって、抵  
抗変化機能体を製造するための新たな製造装置が不要になり、設備投資が少額に  
できて、安価なメモリ機能体を得られる。

別の局面では、この発明のメモリは、第1の電極と第2の電極との間に、絶縁  
体中に複数の導電性微粒子を含むメモリ機能体が挟まれている。そして、上記第

1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布していることを特徴とする。

5       ここで、「導電性微粒子」とは、微粒子自体が導電性を有するものを指す。したがって、「導電性微粒子」は金属または半導体からなるものを含み、さらには、導電性を有する限り、有機物質からなるものをも含む。また、「微粒子」とは粒径が1  $\mu\text{m}$ 未満の粒子を指す。

10       メモリの「記憶状態」としては、例えば論理1に相当する書込状態と、論理0に相当する消去状態とが挙げられる。

15       この発明のメモリでは、メモリ機能体の絶縁体中に分布した複数の導電性微粒子のお蔭で、第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化する。つまり、第1の電極と第2の電極との間に所定の電圧（書込用または消去用）を印加して上記メモリ機能体を通して電流を流すことによって、或る導電性微粒子に1個乃至数個の電荷が蓄積され、その蓄積された電荷が電流経路中の電子に対してクーロン相互作用を及ぼす。したがって、導電性微粒子に蓄積された電荷の有無や多寡に応じて、上記メモリ機能体を通して流れる電流の大小が変化する。そして、第1の電極と第2の電極との間に所定の電圧（読出用）を印  
20       加したとき、上記メモリ機能体を通して流れる電流の大小に応じて記憶状態が判別される。このメモリでは、上記メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、このメモリは実用性がある。

25       一実施形態のメモリでは、上記絶縁体中に、4個の導電性微粒子が互いに隣り合い、かつ互いに離間している単位領域が複数存在する。そして、上記4個の導電性微粒子のうち第1、第2の微粒子がそれぞれ上記第1、第2の電極に対して最も近くに位置し、残りの第3、第4の微粒子がそれぞれ上記絶縁体の厚さ方向に関して上記第1の微粒子と第2の微粒子との間に位置している。ここで、この一実施形態の抵抗変化機能体は、上記第1の微粒子と第3の微粒子との間隔をd

1 3、上記第 2 の微粒子と第 3 の微粒子との間隔を  $d_{23}$ 、上記第 1 の微粒子と第 4 の微粒子との間隔を  $d_{14}$ 、上記第 2 の微粒子と第 4 の微粒子との間隔を  $d_{24}$  としたとき、 $d_{13} < d_{14}$  かつ  $d_{23} < d_{24}$  なる関係を満たすことを特徴とする。

5        この一実施形態のメモリでは、第 1 の電極と第 2 の電極との間に十分な電位差を与えた場合に、電流は主に、第 1 の微粒子と第 3 の微粒子と第 2 の微粒子とを介した経路を流れる。ここで、第 4 の微粒子に蓄積された電荷によって、第 1 の微粒子と第 3 の微粒子と第 2 の微粒子とを介した電流経路中の電子に対してクーロン相互作用を及ぼすことが可能になる。したがって、第 4 の微粒子に蓄積された電荷の有無や多寡に応じて、上記単位領域における電流の流れ易さ、つまり電流の大小を変化させることができる。このような単位領域が上記絶縁体中に複数存在する結果、マクロなレベルで上記メモリ機能体を通して流れる電流の大小を変化させることができる。

15        一実施形態のメモリは、上記第 3 の微粒子と第 4 の微粒子との間隔を  $d_{34}$  としたとき、 $d_{13} > d_{34}$  かつ  $d_{23} > d_{34}$  なる関係を満たすことを特徴とする。

20        この一実施形態のメモリでは、第 4 の微粒子は、第 1、第 2 の微粒子に比して第 3 の微粒子に近い位置、つまり主な電流経路に比較的近い位置に存在する。したがって、第 4 の微粒子に電荷を出し入れし易くなる。また、第 4 の微粒子が第 3 の微粒子に近い位置に存在するので、第 4 の微粒子に蓄積される電荷の有無や多寡によって第 3 の微粒子のポテンシャルを変化させ易い。したがって、上記単位領域における電流の流れ易さ、つまり電流の大小を容易に変化させることができる。

25        一実施形態のメモリは、上記絶縁体中に、上記導電性微粒子として粒径が 0.4 nm 以上 4 nm 以下のものが存在することを特徴とする。

      この一実施形態のメモリでは、上記絶縁体中に、上記導電性微粒子として粒径が 0.4 nm 以上 4 nm 以下のものが存在するので、上記メモリ機能体を通して流れる電流の大小を大きく変化させることができる。なお、導電性微粒子の粒径が大きすぎても小さすぎてもメモリ機能が低下する（詳しくは、後述する。）。



一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在することを特徴とする。

「絶縁体の厚さ方向」とは、層状に形成された絶縁体の、層が延びる方向（層方向）に対して垂直な方向を指す。

この一実施形態のメモリでは、上記導電性微粒子を構成する元素の濃度は一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在することを特徴とする。

この一実施形態のメモリでは、上記導電性微粒子の密度は一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とする。

この一実施形態のメモリでは、上記導電性微粒子のサイズは一様ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する。この場合、上記絶縁体の厚さ方向、つまり上記第1の電極と第2の電極とが対向する方向に関して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

上記絶縁体はシリコン酸化物からなり、また、上記導電性微粒子は半導体または金属からなるのが望ましい。この場合、このメモリは、半導体産業で用いられている既存の装置を用いて作製可能である。

一実施形態のメモリは、上記メモリ機能体に流れる電流の向きを定めるように、整流作用を有する整流機能体が上記メモリ機能体と電氣的に直列に接続されていることを特徴とする。

この一実施形態のメモリでは、整流機能体によって、上記メモリ機能体に流れる電流の向きが一方向に限定される。これにより、上記メモリ機能体をそれぞれ含む複数のメモリセルを行列状に配置し、それらの中から特定のメモリセルを選択して動作させようとする場合に、非選択のメモリセルに無用な電流が流れるのを上記整流機能体によって阻止できる。したがって、メモリセルの選択が容易になる。

また、上記整流機能体はショットキー接合を有するのが望ましい。このショットキー接合は金属と半導体の接合で作製され得る。したがって、既存の半導体装置で容易に製造可能であり、生産性に優れる。

また、上記整流機能体はPN接合を有するのが望ましい。このPN接合は半導体を用いて作製され得る。したがって、既存の半導体装置で容易に製造可能であり、生産性に優れる。また、P型半導体とN型半導体の濃度を調整することにより接合の特性を容易に変えることが可能であるので、汎用性に優れる。

また、上記整流機能体は整流作用を有する接合を備え、この接合を構成する物質の少なくとも一方は連続粒界シリコンであるのが望ましい。この場合、上記接合を形成するためには、エピタキシャル成長のような高温を必要としない。また通常の多結晶シリコンよりも結晶性がよいので、移動度が高く高速動作が可能となる。

一実施形態のメモリは、上記メモリ機能体を選択するための選択トランジスタが上記メモリ機能体と電氣的に直列に接続されていることを特徴とする。

この一実施形態のメモリでは、選択トランジスタをON（オン）またはOFF（オフ）することによって、メモリセルを選択しまたは非選択にすることができる。また、選択トランジスタをOFFすることによってメモリ機能体を通して電

流が流れるのを防ぐことができるので、メモリ機能体の電流の流れ易さが変化するのを防ぐことができる。したがって、長時間安定したメモリ機能を維持することができる。

一実施形態のメモリは、上記第1の電極と第2の電極との間に、上記メモリ機能体の絶縁膜を破壊する電圧を加えるための装置を備える。このメモリは、上記メモリ機能体の絶縁膜を破壊することによって、いわゆるヒューズメモリとして用いられる。このメモリでは、微粒子を含まない絶縁膜をヒューズとして用いた従来のヒューズメモリと異なり、低電圧で書き込み可能になる。

なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。

別の局面では、この発明のメモリは、上述のメモリ機能体を含むメモリセルを少なくとも2つ備え、上記2つのメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されている。そして、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されている。

この発明のメモリでは、上記2つのメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されている。また、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されている。したがって、別個に形成する場合に比べ分離領域を形成しなくてもよいので、占有面積を縮小することが可能となる。なお、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されているので、上記2つのメモリセルは互いに独立に動作することが可能である。

さらに別の局面では、この発明のメモリは、上述のメモリ機能体と、上記メモリ機能体を選択するための選択トランジスタと、上記メモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備える。上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続さ

れ、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっている。上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置されている。第1のセルと第2のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通である。第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通である。第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通である。そして、第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラインと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通である。

この発明のメモリでは、ワードライン、ビットライン、ソースラインを大幅に共用することができ、配線を削減することができる。したがって、占有面積の削減が可能となる。

一実施形態のメモリは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とする。

この一実施形態のメモリでは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

さらに、上記メモリ機能体を含むメモリセルが上記基板に対して平行な方向に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体は一体に連続して形成されているのが望ましい。この場合、メモリ機能体をセル毎に分離する工程が省けるので、生産性が向上する。

また、上記メモリ機能体とこのメモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、上記基板に対して平行な方向に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体をなす絶縁体および／または整流機能体は一体に連続して形成されているのが望ましい。この場合、メモリ機能体をセル毎に分離する工程および／または整流機能体をセル毎に分離する工程が省けるので、生産性が向上する。

この発明の半導体装置は、上述のメモリを有するメモリ回路を備える。

この発明の半導体装置では、占有面積の縮小が可能なメモリセルを用いているため、従来に比してメモリ回路の占有面積を縮小することができ、小型に構成される。上述のメモリは比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

この発明の電子機器は、上述の半導体装置を備える。

この発明の電子機器では、上述の半導体装置が小型に構成される結果、この機器を小型することが可能である。また、上述の半導体装置が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

また、この発明のメモリの製造方法は、上述のメモリを製造するために、上記第1の電極または第2の電極の一方の上に上記絶縁体を形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程とを含むことを特徴とする。この後、上記絶縁体上に他方の電極を形成する。

この発明のメモリの製造方法によれば、作製されたメモリについて、上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化するように、一度のイオン注入によって上記絶縁体中に導電性微粒子を所定の密度（高密度）に形成するとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。したがって、メモリを生産性良く作製できる。

なお、絶縁体中に導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、これらの方法では、絶縁体中に導電性微粒子をクーロンブロッケイド効果が発現するような所定の密度（高密度）に形成することが困難である。また、導電性微粒子を一度の処理で一平面上にしか形成できないため、クーロンブロッケイド効

果が発現するように上記絶縁体の厚さ方向に導電性微粒子を分布させるためには、何度も処理を繰り返す必要があり、生産性が良くない。これに対して、イオン注入によれば、絶縁体中に導電性微粒子を一度の処理で短時間に高密度に形成できるとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。

5        しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

      また、このようにイオン注入によって上記絶縁体中に導電性微粒子を形成すれば、作製されたメモリのメモリ機能体は、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する状態になる。また、上記絶縁体の厚さ方向に、上記導電性微粒子の密度  
10        が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する状態になる。さらに、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する状態になる。このような状態になれば、既述のように、メモリの特性が安定する。

15        また、上記絶縁体中に導電性微粒子を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記絶縁体が破壊して欠陥が生じるのを抑制できる。これらの結果、作製されたメモリの信頼性が向上する。  
20        る。

      別の局面では、この発明のメモリは、第1の電極と第2の電極との間に、絶縁体中に複数の導電性微粒子を含むメモリ機能体が挟まれている。上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布している。そして、上記メモリ機能体に対して、上記第1の電極と第2の電極とが対向する方向に垂直な方向から電圧を印加し得る第3の電極が隣接していることを特徴とする。  
25       

      ここで、「導電性微粒子」とは、微粒子自体が導電性を有するものを指す。し

たがって、「導電性微粒子」は金属または半導体からなるものを含み、さらには、導電性を有する限り、有機物質からなるものをも含む。また、「微粒子」とは粒径が  $1\ \mu\text{m}$  未満の粒子を指す。

メモリの「記憶状態」としては、例えば論理 1 に相当する書込状態と、論理 0 に相当する消去状態とが挙げられる。

上記メモリ機能体に対して第 3 の電極が「隣接」とするとは、直接接する場合と、絶縁膜を介して接する場合とを含む。

この発明のメモリでは、メモリ機能体の絶縁体中に分布した複数の導電性微粒子のお蔭で、第 1 の電極と第 2 の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化する。つまり、第 1 の電極と第 2 の電極との間に所定の電圧（書込用または消去用）を印加して上記メモリ機能体を通して電流を流すことによって、或る導電性微粒子に 1 個乃至数個の電荷が蓄積され、その蓄積された電荷が電流経路中の電子に対してクーロン相互作用を及ぼす。したがって、導電性微粒子に蓄積された電荷の有無や多寡に応じて、上記メモリ機能体を通して流れる電流の大小が変化する。そして、第 1 の電極と第 2 の電極との間に所定の電圧（読出用）を印加したとき、上記メモリ機能体を通して流れる電流の大小に応じて記憶状態が判別される。このメモリでは、上記メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、このメモリは実用性がある。

しかも、本発明者が実験したところ、第 3 の電極によって、上記メモリ機能体に対して、上記第 1 の電極と第 2 の電極とが対向する方向に垂直な方向から電圧を印加すれば、上記メモリ機能体を通して流れる電流の大小がさらに大きく変化することが分かった。つまり、メモリウインドウ（ヒステリシス）の幅が増大して、メモリ機能が向上する。したがって、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。

一実施形態のメモリは、上記絶縁体中に、上記導電性微粒子として粒径が  $0.4\ \text{nm}$  以上  $4\ \text{nm}$  以下のものが存在することを特徴とする。

この一実施形態のメモリでは、上記絶縁体中に、上記導電性微粒子として粒径

が0.4 nm以上4 nm以下のものが存在するので、上記メモリ機能体を通して流れる電流の大きさを大きく変化させることができる。なお、導電性微粒子の粒径が大きすぎても小さすぎてもメモリ機能が低下する（詳しくは、後述する。）。

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とする。

「絶縁体の厚さ方向」とは、層状に形成された絶縁体の、層が延びる方向（層方向）に対して垂直な方向を指す。

この一実施形態のメモリでは、上記導電性微粒子のサイズは一樣ではなく、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する。この場合、上記メモリ機能体を通して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

一実施形態のメモリは、上記第1の電極と第2の電極がそれぞれ半導体基板の表面に形成された拡散領域からなる。上記メモリ機能体が上記半導体基板の表面のうち上記拡散領域の間の領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

この一実施形態メモリは、上記メモリ機能体をMOS型トランジスタのチャネル部分に組み込んだのに略等しい構造を持つ。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。

一実施形態のメモリは、上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなる。上記メモリ機能体が上記導電体の間に挟まれた領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

この一実施形態メモリは、上記メモリ機能体を、ソース・ドレイン・チャネルが欠如した積み上げ拡散層付MOS型トランジスタの絶縁膜部分に組み込んだのに略等しい構造を持つ。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。また、ガラス基板上に形成することも可能である。



なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。また、コンパクトで低電圧動作可能なランダムアクセスメモリを実現することができる。

- 5       一実施形態のメモリは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とする。

この一実施形態のメモリでは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

- 10       この発明の半導体装置は、上述のメモリを備える。

この発明の半導体装置では、占有面積の縮小が可能なメモリセルを用いているため、従来に比してメモリ回路の占有面積を縮小することができ、小型に構成される。上述のメモリは比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

15

この発明の電子機器は、上述の半導体装置を備える。

この発明の電子機器では、上述の半導体装置が小型に構成される結果、この機器を小型することが可能である。また、上述の半導体装置が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

20

また、この発明のメモリの製造方法は、上述のメモリを製造するメモリの製造方法であって、上記第1の電極、上記絶縁体および上記第2の電極が、基板の表面に沿ってこの順に並ぶように形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁体を形成する工程と、上記メモリ絶縁体上に第3の電極を形成する工程とを含むことを特徴とする。

25

または、この発明のメモリの製造方法は、上述のメモリを製造するメモリの製造方法であって、基板の表面に、上記絶縁体を形成し、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁

体を形成する工程と、上記メモリ絶縁体の上に第3の電極を形成するとともに、上記メモリ絶縁体の両側に接するようにそれぞれ第1の電極、第2の電極を形成する工程とを含むことを特徴とする。

この発明のメモリの製造方法によれば、作製されたメモリについて、上記第1  
5 の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化するように、一度のイオン注入によって上記絶縁体中に導電性微粒子を所定の密度（高密度）に形成するとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。したがって、メモリを生産性良く作製できる。

10      なお、絶縁体中に導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、これらの方法では、絶縁体中に導電性微粒子をクーロンブロッケイド効果が発現  
15      するような所定の密度（高密度）に形成することが困難である。また、導電性微粒子を一度の処理で一平面上にしか形成できないため、クーロンブロッケイド効果が発現するように上記絶縁体の厚さ方向に導電性微粒子を分布させるためには、何度も処理を繰り返す必要があり、生産性が良くない。これに対して、イオン注入によれば、絶縁体中に導電性微粒子を一度の処理で短時間に高密度に形成でき  
20      るとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

25      また、このようにイオン注入によって上記絶縁体中に導電性微粒子を形成すれば、作製されたメモリのメモリ機能体は、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する状態になる。また、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する状態になる。さらに、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する状態になる。このよう

な状態になれば、既述のように、メモリの特性が安定する。

また、上記絶縁体中に導電性微粒子を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記絶縁体が破壊して欠陥が生じるのを抑制できる。これらの結果、作製されたメモリの信頼性が向上する。

#### 図面の簡単な説明

図 1 A は本発明の一実施形態のメモリを構成する抵抗変化機能体の断面を模式的に示す図であり、図 1 B は上記メモリの概略断面を示す図であり、また、図 1 C は上記抵抗変化機能体の単位領域の構造を拡大して模式的に示す図である。

図 2 は、上記メモリの電流対電圧（ $I-V$ ）特性を測定した結果を示す図である。

図 3 A 乃至図 3 D は、上記メモリの作製工程を説明するための図である。

図 4 は、上記メモリの別の態様を示す図である。

図 5 は、図 4 のメモリのメモリ動作を説明するための図である。

図 6 A は抵抗変化機能体と選択トランジスタを含むメモリセルを模式的に示す図であり、図 6 B 乃至図 6 D はそれぞれその具体的な構成を示す図である。

図 7 は、上述の抵抗変化機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

図 8 は、上述の抵抗変化機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

図 9 A は上述の抵抗変化機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの断面構造を示す図であり、図 9 B は、図 9 A の抵抗変化機能体のうち実質的なメモリ動作をする個所を示した図である。

図 10 A、図 10 B は、それぞれ上述の抵抗変化機能体と選択トランジスタとを含むメモリセルの断面構造を示す図であり、図 10 C は、図 10 A の抵抗変化機能体のうち実質的なメモリ動作をする個所を示した図である。

図 1 1 は、上述の抵抗変化機能体と整流機能体とを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

図 1 2 A は上述の抵抗変化機能体と P N 接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 1 2 B 乃至図 1 2 E はそれぞれその具体的な構成を示す図である。

図 1 3 A は、各メモリセルに抵抗変化機能体と P N 接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 1 3 B 乃至図 1 3 D はそれぞれその具体的な構成を示す図である。

図 1 4 は、上述の抵抗変化機能体と整流機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

図 1 5 A は上述の抵抗変化機能体とショットキー接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 1 5 B 乃至図 1 5 E はそれぞれその具体的な構成を示す図である。

図 1 6 A は、各メモリセルに抵抗変化機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 1 6 B 乃至図 1 6 D はそれぞれその具体的な構成を示す図である。

図 1 7 A は上述の抵抗変化機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 1 7 B は図 1 7 A 中の構成要素の電気的接続を示す図である。

図 1 8 A は上述の抵抗変化機能体と整流機能体とが基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 1 8 C は図 1 8 A 中の構成要素の電気的接続を示す図である。図 1 8 B は図 1 8 A の構造の変形例を示す図であり、図 1 8 D は図 1 8 B 中の構成要素の電気的接続を示す図である。

図 1 9 A 乃至図 1 9 E および図 1 9 F 乃至図 1 9 J は、図 1 8 A に示したタイプの 3 次元立体構造を持つメモリの作製方法を説明するための図である。

図 2 0 A、図 2 0 B はそれぞれ抵抗変化機能体層内のメモリ動作をする領域を

説明するための図である。

図 2 1 A 乃至図 2 1 E および図 2 1 F 乃至図 2 1 J は、3 次元立体構造を持つメモリの抵抗変化機能体層を、層方向に一体に連続した状態に形成する作製方法を説明するための図である。

5 図 2 2 A、図 2 2 B は、図 2 1 E、図 2 1 J に示した構造の変形例を示す図である。

図 2 3 A、図 2 3 B は、図 2 1 E、図 2 1 J に示した構造の別の変形例を示す図である。

10 図 2 4 A、図 2 4 B は、図 2 3 A、図 2 3 B に示した構造の変形例を示す図である。

図 2 5 A は図 2 3 A、図 2 3 B に示した構造の電流経路を示す図であり、図 2 5 B は図 2 4 A、図 2 4 B に示した構造の電流経路を示す図である。

図 2 6 A はこの発明の一実施形態の半導体装置の平面レイアウトを示す図であり、図 2 6 B は従来の半導体装置の平面レイアウトを示す図である。

15 図 2 7 は、この発明の電子機器の一例としての携帯電話機を示す図である。

図 2 8 A は本発明の一実施形態のメモリの概略断面を示す図であり、図 2 8 B は図 2 8 A のものと電極の配置が異なる例を示す図である。

図 2 9 A 乃至図 2 9 E は、図 2 8 B のタイプの電極配置を持つメモリの作製方法を説明するための図である。

20 図 3 0 A 乃至図 3 0 E は、図 2 8 B のタイプの電極配置を持つメモリの別の作製方法を説明するための図である。

図 3 1 A は 3 次元的に集積化されたメモリの平面レイアウトを示す図であり、図 3 1 B は図 3 1 A における B-B' 線矢視断面図である。

25 図 3 2 A 乃至図 3 2 E は、図 3 1 A、図 3 1 B に示したメモリの作製工程における断面を示す図である。

図 3 3 A 乃至図 3 2 F は、図 3 1 A、図 3 1 B に示したメモリの作製工程における平面レイアウトを示す図である。

図 3 4 A は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に垂直になっているメモリの構造を示す図であり、図 3 4 B、図 3 4 C、図 3 4 D はそれ

ぞれ図 3 4 A のメモリを B 方向、C 方向、D 方向から見たところを示す図である。

図 3 5 は、この発明の一実施形態の抵抗変化機能体の概略断面構造を示す図である。

図 3 6 は、この発明の別の実施形態の抵抗変化機能体の概略断面構造を示す図である。

を示す図である。

図 3 7 A 乃至図 3 7 E は、図 3 6 の抵抗変化機能体を作製する製造方法を示す工程図である。

図 3 8 は、図 3 6 の抵抗変化機能体の、微粒子を含んだ層状のシリコン酸化膜の断面を TEM (Transmission Electron Microscope; 透過型電子顕微鏡) によって観察した写真を示す図である。

図 3 9 は、図 3 6 の抵抗変化機能体の常温 (25℃) における電流対電圧 (I-V) 特性のグラフを示す図である。

図 4 0 は、本発明の一実施形態の抵抗変化機能体の断面を模式的に示す図である。

図 4 1 A 乃至図 4 1 D は、図 4 0 の抵抗変化機能体の作製工程を説明するための図であり、図 4 1 E は、図 4 1 D の一部の拡大図である。

図 4 2 は、図 4 0 の抵抗変化機能体の電流対電圧 (I-V) 特性を測定した結果を示す図である。

図 4 3 は、図 4 0 の抵抗変化機能体を用いて形成したメモリを示す図である。

図 4 4 は、図 4 3 のメモリのメモリ動作を説明するための図である。

図 4 5 A 乃至図 4 5 D は、微粒子の形成方法を示す工程図であり、図 4 5 E は、図 4 5 D の一部の拡大図である。

図 4 6 A 乃至図 4 6 D は、微粒子の別の形成方法を示す工程図である。

図 4 7 A 乃至図 4 7 D は、微粒子のさらに別の形成方法を示す工程図である。

図 4 8 A 乃至図 4 8 D は、微粒子のさらに別の形成方法を示す工程図である。

図 4 9 A 乃至図 4 9 D は、微粒子のさらに別の形成方法を示す工程図である。

図 5 0 A 乃至図 5 0 D は、微粒子のさらに別の形成方法を示す工程図である。

図 5 1 A、図 5 1 B は、導電性微粒子の材料を絶縁体に注入するための装置を

示す概略図である。

図 5 2 A は、一実施形態の抵抗変化機能体を示す模式図であり、図 5 2 B は、図 5 2 A の一部の拡大図である。

図 5 3 は、図 5 2 A の抵抗変化機能体の電圧－容量特性を示す図である。

5 図 5 4 は、一実施形態のメモリ素子を示す模式図である。

図 5 5 A は、絶縁体中に比較的小さな微粒子と比較的大きな微粒子とが 1 対配置され、上記絶縁体に三つの電極が接している抵抗変化機能体を模式的に示す図であり、図 5 5 B、図 5 5 C は、図 5 5 A の抵抗変化機能体の動作を説明する図である。図 5 5 D は、絶縁体中に比較的小さな微粒子と比較的大きな微粒子とが  
10 1 対配置され、上記絶縁体に四つの電極が接している抵抗変化機能体を模式的に示す図であり、図 5 5 E、図 5 5 F は、図 5 5 D の抵抗変化機能体の動作を説明する図である。

図 5 6 A は、絶縁体中に比較的小さな微粒子と比較的大きな微粒子との対が複数規則的に配置されている抵抗変化機能体を模式的に示す図であり、図 5 6 B は、  
15 図 5 6 A 中の絶縁体の拡大図である。図 5 6 C は、絶縁体中に比較的小さな微粒子と比較的大きな微粒子とが複数分布して配置されている抵抗変化機能体を模式的に示す図である。

図 5 7 A、図 5 7 B は、それぞれ図 5 6 A、図 5 6 C に示した抵抗変化機能体における大きさの異なる 2 つの微粒子の間の位置関係を説明する図である。

20 図 5 8 A 乃至図 5 8 F は、この発明の一実施形態の抵抗変化機能体の作製工程を説明するための図である。

図 5 9 A 乃至図 5 9 E は、この発明の一実施形態の抵抗変化機能体の作製工程を説明するための図である。

図 6 0 A はこの発明の一実施形態の抵抗変化機能体の構造を説明する図であり、  
25 図 6 0 B、図 6 0 C はそれぞれ図 6 0 A における A－A' 線、B－B' 線に沿った粒径の分布を示す図である。

図 6 1 A はこの発明の一実施形態の抵抗変化機能体の構造を説明する図であり、図 6 1 B は図 6 1 A における A－A' 線に沿った粒径の分布を示す図である。

図 6 2 は、従来のメモリ素子を示す図である。

### 発明を実施するための最良の形態

図1は本発明の一実施形態の抵抗変化機能体100の概略断面構造を示している。この抵抗変化機能体100は、第1電極111と第2電極112との間に挟まれた絶縁体101中に、上記第1、第2電極111、112間の電気抵抗が変化するよう

5 に設けられたナノメートルサイズの複数の導電性微粒子102を含んでいる。この微粒子102を含んだ絶縁体101を微粒子含有体113と呼ぶ。

なお本発明による抵抗変化機能体は、メモリ機能体として用いることもできるので、適宜、メモリ機能体と呼ぶことがある。

10 この抵抗変化機能体100は、図3（関連する図3A～図3Dを総称して図3と呼ぶ。他の図でも同様。）に示す工程にしたがって次のようにして作製されている。

この例では、半導体産業で用いられている既存の装置を用いて作製できるように、基板300としてシリコン基板、絶縁体101の材料としてシリコン酸化膜、導電性微粒子102の材料として銀を用いるものとする。

15

i) まず図3Aに示すように、シリコン基板300の表面に熱酸化工程により絶縁体としてシリコン酸化物101を形成する。この例では、形成されたシリコン酸化物101の膜厚は約50nmであった。なお、本実施の形態ではシリコン基板300は第2電極112として用いられる。このような工程であれば工程数が少なくて済む。

20

ii) 次に図3Bに示すように、シリコン酸化膜101中に銀303を負イオン注入法により導入する。

ここで、注入エネルギーは、あまりに高すぎると、注入される銀の分布が広がりすぎて数百nm以下の薄膜101への注入に相応しくなく、また膜101へダメージを与えて欠陥を生じてしまう。このため、注入エネルギーは、100keV未満、より好ましくは50keV未満に設定するのが好ましい。

25

また、注入ドーズ量は、あまりに多いと、微粒子の粒径が大きくなりすぎ、また膜101へのダメージも多くなる一方、少なすぎると微粒子密度が小さくなりすぎてしまう。このため、注入ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ より多く、かつ



$1 \times 10^{20} / \text{cm}^2$  より少なく設定するのが好ましく、例えば  $1 \times 10^{13} / \text{cm}^2$  より多く、かつ  $1 \times 10^{17} / \text{cm}^2$  より少なく設定するのが、より好ましい。

この例では、注入エネルギーは約 30 keV、ドーズ量は約  $1 \times 10^{16} / \text{cm}^2$  に設定した。最も好ましい設定量は材質や膜厚、狙いとする粒径や密度などで異なるが、注入濃度が 0.1% 未満だと形成される微粒子の大きさが小さすぎたり、密度が低すぎたり、あるいは形成に時間がかかり過ぎたりし、注入濃度が 20% を越えると形成される微粒子の大きさが大きすぎたり、密度が高すぎたりするので、おおむね注入濃度が 0.1% ~ 20% になるような値に設定するのが好ましい。この例では最も濃度が高いところでおおよそ 1% 程度になるように設定した。

また、上述のように、この例では、イオン注入法として負イオン注入法を採用している。負イオンを用いて注入した場合、正イオンの場合のように注入を受ける材料（この例ではシリコン酸化膜 101）の表面電位が正イオンの加速電圧近くまで上昇することなく、数ボルト程度の非常に低い値に収まる。すなわち、正イオン注入の場合は、正の電荷のイオンが材料表面に入射し、負の電荷の二次電子が放出されるため材料表面は正に帯電する一方であり、最終的に正イオンの加速電圧まで上昇する。これに対して、負イオン注入の場合は、負の電荷のイオンが入射し負の電荷の二次電子が放出し、表面電位は±数ボルト程度に収まる。したがって、正イオン注入に比べ実効的な加速電圧の変動が少なくなるため、注入深さのばらつきを抑制することが可能となる。また、注入を受けるシリコン酸化膜 101 やそれを支持する基板 300 が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。

iii) 次に、熱処理を行って、注入元素（この例では銀）を凝集または拡散させる。これにより、図 3C に示すように、シリコン酸化膜 101 中に銀からなる所定の粒径の微粒子 102 を抵抗変化効果が起こるような所定の密度に形成するとともに、本実施例ではシリコン酸化膜 101 の厚さ方向 V1, V2 に微粒子 102 を分布させることもできる。また、イオン注入時に発生した欠陥を修復する。

この熱処理の温度は、低すぎると効果がないが、あまりに高温であると注入元素が拡散、熔融するため、微粒子を形成できない。したがって、熱処理の温度は、

200℃より高く、かつ注入元素の融点未満に設定するのが好ましい。また、熱処理の時間は、一定温度であっても長くすればその温度での効果は増大するが、あまりに長いと、粒径が過度に大きくなる場合や、注入元素が微粒子を形成すべき領域外まで拡散する場合がある。このため、熱処理時間は、24時間より短く設定するのが好ましい。

例えば通常の熱処理炉を用いる場合は、アルゴンや窒素等の不活性雰囲気中で、熱処理の温度を300℃～900℃の範囲内に設定するのが好ましい。この例では、アサヒ理化製作所製のセラミクス電気管状炉を用い、アルゴン雰囲気中で、約700℃の温度で約1時間の熱処理を行った。

iv) この後、図3Dに示すように、この微粒子102を含んだシリコン酸化膜101上に、第1電極111を形成する。

この第1電極111の材料は、金属または半導体、さらには、導電性を有する限り、有機物質であっても良い。第1電極111を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などを採用できる。

この例では、蒸着によって、第1電極111としてAl膜を形成した。

このようにして作製した抵抗変化機能体100の、微粒子102を含んだシリコン酸化膜101、つまり微粒子含有体113を断面TEM観察によって調べた。その結果、図1Aに示すように、イオン注入された銀が凝集して、粒径が約3nm程度以下のナノメートルサイズの微粒子102となっていることが分かった。

また、設定した注入エネルギー（銀イオンの加速エネルギー）から予想される深さを中心として、シリコン酸化膜101の厚さ方向V1、V2に微粒子102を分布させることができた。なお、厚さ方向V1、V2に関する微粒子102の分布については、後に詳述する。

このようにイオン注入によれば、絶縁体101中に導電性微粒子102を一度の処理で短時間に高密度に形成できるとともに、絶縁体101の厚さ方向V1、V2に導電性微粒子102を分布させることができる。しかも、イオン注入によれば、導電性微粒子102を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

また、この例では、絶縁体101中に導電性微粒子102を形成するための物

質を負イオン注入法により注入しているので、注入時に上記絶縁体 101 やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって絶縁体 101 が破壊して欠陥が生じるのを抑制できる。これらの結果、抵抗変化機能体 100 の信頼性を向上させることができる。

図 2 は、上述の方法で作製した抵抗変化機能体 100 の常温（25℃）における電流対電圧（I-V）特性のグラフを示している。

この特性は、第 2 の電極 112（シリコン基板 300）を接地し、第 1 の電極 111 に電圧を印加して、第 1 の電極 111 に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図 2 中に矢印 S1 で示すように、クーロンブロック効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図 2 中に矢印 S2 で示すように、クーロンブロック効果特有の階段状の変化を示しながら、電流が増加した。図 2 から分かるように、この電流対電圧（I-V）特性にはヒステリシスも現れている。

第 1 の電極 111 と第 2 の電極 112 との間に十分な電位差を与えた場合、電流は主に、ほぼ直線上に配置された一連の微粒子を介した経路を流れる。ここで、その他の微粒子に 1 個乃至数個の電荷が蓄積され、その蓄積された電荷によって、前記一連の微粒子を介した電流経路中の電子に対してクーロン相互作用が及ぼされる。

前記その他の微粒子に蓄積される電荷の有無や多寡によって前記一連の微粒子の少なくとも一個のポテンシャルを変化させる。したがって、電流の流れ易さ、つまり電気抵抗を容易に階段状に変化させることができる。

この理由を、図 1C を用いて次に詳しく考察する。図 1C は、図 1B に示した微粒子含有体 113 のうち、4 個の導電性微粒子 102 を含む単位領域 114 を拡大して模式的に表している。この単位領域 114 には、4 個の導電性微粒子 102 が互いに隣り合い、かつ互いに離間した状態で含まれている。4 個の導電性微粒子 102 のうち第 1 の微粒子 121 が第 1 の電極 111 に対して最も近くに位置し、第 2 の微粒子 122 が第 2 の電極 112 に対して最も近くに位置する。

残りの第3の微粒子123、第4の微粒子124は、第1の電極111と第2の電極112とが対向する方向（図において上下方向であり、絶縁体101の厚さ方向に相当する。）に関して、それぞれ第1の微粒子121と第2の微粒子122との間に位置している。

ここで、第1の微粒子121と第3の微粒子123との間隔を $d_{13}$ 、第2の微粒子122と第3の微粒子123との間隔を $d_{23}$ 、第1の微粒子121と第4の微粒子124との間隔を $d_{14}$ 、第2の微粒子122と第4の微粒子124との間隔を $d_{24}$ とする。このとき、 $d_{13} < d_{14}$ かつ $d_{23} < d_{24}$ なる関係が満たされている。また、第3の微粒子123と第4の微粒子124との間隔を $d_{34}$ としたとき、 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ なる関係が満たされている。

第1の電極111と第2の電極112との間に十分な電位差を与えた場合、この単位領域114では、電流は主に、ほぼ直線上に配置された第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した経路を流れる。ここで、第4の微粒子124に1個乃至数個の電荷が蓄積され、その蓄積された電荷によって、第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した電流経路中の電子に対してクーロン相互作用が及ぼされる。

しかも、第4の微粒子124は、第1、第2の微粒子122に比して第3の微粒子123に近い位置、つまり主な電流経路から少しだけ横方向に離れた比較的近い位置に存在する。したがって、第4の微粒子124に電荷を出し入れし易くなる。また、第4の微粒子124が第3の微粒子123に近い位置に存在するので、第4の微粒子124に蓄積される電荷の有無や多寡によって第3の微粒子123のポテンシャルを変化させ易い。したがって、単位領域114における電流の流れ易さ、つまり電気抵抗を容易に階段状に変化させることができる。

このような単位領域114が絶縁体101中に複数存在する結果、マクロなレベルで第1、第2の電極111、112間の電気抵抗が階段状に変化したと思われる。また、図2の電流対電圧（ $I-V$ ）特性で、電圧を低くするとき（S1）と高くするとき（S2）との間で各単位領域114で第3の微粒子123のポテンシャルが変化した結果、ヒステリシスが現れたと思われる。

なお、第3の微粒子123と第4の微粒子124との間隔 $d_{34}$ が大きすぎると、電流経路に与えるクーロン相互作用は極めて弱いものとなり、実質的に無視できる程度となる。 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ の場合、微粒子124に捕獲された電子による電流経路になっている微粒子への影響は大きいと推定され、

5 ヒステリシスの増大が見込まれる。

また、ヒステリシスの発生原因は、微粒子群の中で極微小な粒径の微粒子が電流の影響により拡散消滅、または凝集大型化した結果、クーロンエネルギーが変動したためとも考えられる。その他、ジュール熱による熱エネルギーにより、微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

10 この抵抗変化機能体100は、ヒステリシス効果を利用して、電流の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。また、本発明の抵抗変化機能体は、電子の捕獲をするため電荷保持機能体と言い換えることもできる。

なお、本抵抗変化機能体100の第1、第2の電極111、112間に過剰な電圧を印加した場合、電流値が著しく増大した。これは絶縁体101中に含まれる微粒子102が変化したため、あるいは微粒子102、102間の絶縁体101が絶縁破壊をおこしたためと思われる。ただし、微粒子102、102間の絶縁体101はトンネル障壁であるので絶縁破壊をおこしにくいことから、ジュール熱により微粒子102が拡散または凝集したか、電流によるマイグレーション

15

20

ため微粒子102の状態が変化した可能性が高いと思われる。

また、通常の絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧を必要とする。これに対して、微粒子含有体113を利用する本抵抗変化機能体100では、微粒子102、102間の実質的な絶縁膜厚は薄く、また微粒子102、102間はトンネル可能な絶縁膜厚が大部分であるから、従来のヒューズメモリに比べて低電圧で書き込み動作が可能になる。したがって、本抵抗変化機能体100は、低電圧で利用できるヒューズメモリとして用いることも可能である。

25

この例では、作製した微粒子102の粒径は、TEM観察の範囲においてほぼ3nm以下であった。なお、同様の方法を用いて微粒子の粒径がほぼ6nm以下、

ほぼ10 nm以下の試料も作製した。そのような試料のI-V特性を測定したところ、微粒子の粒径が大きくなるにつれて、I-V特性のグラフにおける階段形状やヒステリシスは小さくなり、室温よりも低温であっても、不明瞭になる傾向が観測された。したがって、ヒステリシスを得るために要求される微粒子102の粒径は11 nm以下、好ましくは7 nm以下、より望ましくは4 nm以下であることがわかった。

一方、熱処理温度を上げることによって微粒子102の粒径をさらに縮小し、TEM観察の範囲においてほぼ1 nmに満たない粒径で、0.4 nm未満の微粒子が多数を占めるような試料も作製した。そのような試料のI-V特性を測定したところ、I-V特性グラフにおける階段形状やヒステリシスは室温では明確には観測できなくなった。この理由は、銀イオンが絶縁膜全体に拡散したことによって、絶縁膜101の電気的な絶縁性が低下したためだと推測される。このときのイオン注入濃度は $1 \times 10^{15} \text{ ions/cm}^2$ であり、絶縁膜101の膜厚は約50 nmであった。したがって体積濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ となる。

この結果、微粒子102の粒径が0.2 nm以上であることが好ましく、さらには0.4 nm以上であることが好ましく、1 nm程度がより好ましい。さらに微粒子が存在しない、または粒径が0.4 nm未満の個所での濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ 以下であることが好ましいことがわかった。

なお、既述のように、好ましくはクーロンブロッケード効果を用いることが望まれる。クーロンブロッケード効果が顕著になるには、微粒子102の容量を考えた場合、電荷を離脱させるために必要なエネルギーが周囲温度による熱エネルギーと比較して十分大きくなければならない。そのためには微粒子102を完全導体球と仮定したとき微粒子102の半径は0.5 nm~1 nm程度であろうと推定される。なお、微粒子102の粒径が小さくなるにつれてクーロンブロッケード効果自体は顕著になるが、微粒子102の粒径が小さすぎると第1、第2の電極111、112間に高電圧が必要となるため、デバイス応用の観点からは好ましくない。

また、シリコン酸化膜101中に導電性微粒子102を形成するために負イオ

ン注入を行っているので、作製後のシリコン酸化膜101は単一熱酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVDなどに比して、処理時間が短くなり、生産性に優れる。

また、負イオン注入によれば、既述のように帯電による微粒子のばらつきを抑えられるので、シリコン酸化膜101の厚さ方向に関して微粒子102の分布がばらつきの抑制できる。したがって、微粒子含有体113を薄膜化することができ、微細化が可能になる。そのように微粒子含有体113を薄膜化した場合、第1、第2の電極111、112間に同じ電圧を加えても微粒子含有体113に印加される実効電場が強くなる。したがって、抵抗変化機能体100を動作させるための電圧を低電圧化することが可能となり、生産性および低消費電力性に優れる。

図1Aに模式的に示したように、シリコン酸化膜101中の微粒子102を構成する銀元素の濃度は一様ではなく、シリコン酸化膜101の厚さ方向V1、V2に、微粒子102を構成する銀元素の濃度が高い領域に連なって銀元素の濃度が低い領域がそれぞれ存在する。同様に、シリコン酸化膜101中の微粒子102の密度は一様ではなく、シリコン酸化膜101の厚さ方向V1、V2に、微粒子102の密度が高い領域に連なって微粒子102の密度が低い領域が存在する。同様に、シリコン酸化膜101中の微粒子102のサイズは一様ではなく、シリコン酸化膜101の厚さ方向V1、V2に、微粒子102のサイズが大きい領域に連なって微粒子102のサイズが小さい領域が存在する。これらの場合、シリコン酸化膜101の厚さ方向V1、V2、つまり第1の電極111と第2の電極112とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、抵抗変化機能体100の特性が安定する。

また、負イオン注入の際に斜め注入を行えば、シリコン酸化膜101の厚さ方向に関して微粒子102の分布の広がりを抑制することができる。したがって、微粒子含有体113を薄膜化することができ、微細化に適する。

図4は上記抵抗変化機能体100の第1の電極としてA1膜を蒸着しパターン化してなる電極411を備えた態様を示し（この電極411には図示しない電源

および電流センサが接続されている。) 、図5はこの電極411を備えた抵抗変化機能体100の常温(25℃)における電流対電圧(I-V)特性のグラフを示している。このグラフを用いて、上記抵抗変化機能体100をメモリとして用いた時の記憶状態を判別する動作を説明する。

- 5        この特性は、図2におけるのと同様に、シリコン基板300を接地し、第1の電極411に電圧を印加して、第1の電極411に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図5中に矢印S1で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図5  
10      中に矢印S2で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が増加した。図5から分かるように、この電流対電圧(I-V)特性にはヒステリシスも現れている。

- ここで、例えば図5中に示すように書込電圧を $V_w$ 、消去電圧を $V_e$ とする。そして、メモリウィンドウ(ヒステリシス)の中央になるように書込状態と消去状態とを判別するための読出電圧を $V_r$ 、判別基準となる電流値を $I_j$ に設定する。電圧 $V_r$ を印加したときの電流の大きさを読み取り、その電流の読取値と $I_j$ との大小関係で記憶状態を判別する。例えばその電流の読取値が $I_j$ よりも大きければ消去状態(論理0)、その電流の読取値が $I_j$ よりも小さければ書込状態(論理1)と判別する。  
15

- 20      このように、この抵抗変化機能体100は少なくとも2値以上のメモリとして用いることが可能である。以下、抵抗変化機能体をメモリ機能体と呼ぶことがある。

- 図6Aは、メモリ機能体604(既述の微粒子含有体113と同じ物)を選択するための選択トランジスタ601が上記メモリ機能体604と電氣的に著列に  
25      接続され、シリコン基板600上に集積化された態様を模式的に示している。選択トランジスタ601は通常のMOSトランジスタであり、シリコン基板600の表面に互いに離間して形成されたドレイン領域602およびソース領域603と、それらの間の基板表面を覆うゲート酸化膜608およびゲート電極609を含んでいる。なお、コンタクト605、606がそれぞれドレイン領域602、



ソース領域603に接続されている。

この例では、選択トランジスタ601のドレイン602につながるコンタクト605の一部としてメモリ機能体604が設けられている。具体的には、図6Bはドレイン領域602に接するようにメモリ機能体604を備えた例であり、図6Cはビットライン626のメタル配線に接してメモリ機能体604を備えた例であり、図6Dはコンタクト605の途中にメモリ機能体604を備えた例である。

図7は、上述のメモリ機能体と選択トランジスタとを含むメモリセルMを行列状に備えたメモリの回路構成を示している。ワードラインW、ビットラインBがそれぞれ行方向、列方向に延びている。各メモリセルMのメモリ機能体604と選択トランジスタ601は、対応するビットラインBとグランド（接地）との間に直列に接続されている。

例えばメモリセルM（320）を選択するとき、それに接続されたワードラインW（300）に選択トランジスタの閾値電圧以上の電圧 $V_H$ を印加し、その他のワードラインW（100）、W（200）、W（400）には0V（接地電位）を与える。かつ、メモリセルM（320）に接続されたビットラインB（020）に書き込み、読出し、消去に必要な電圧 $V_b$ を印加し、その他のビットラインB（010）、B（030）、B（040）にはたとえ選択トランジスタがON状態であっても、書き込み、消去が行われない電圧、例えば0Vを与える。

このようにすれば、メモリセルM（320）のメモリ機能体604には電位差約 $V_b$ の電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ601がOFF状態であるか、選択トランジスタ601がON状態であってもビットラインBの電位が0Vであるのでメモリ機能体には電圧が加わらずメモリ動作は行われない。

図8は、上述のメモリ機能体604と選択トランジスタ601とを含むメモリセルMを行列状に備えたメモリの回路構成を示している。この例では、行方向に隣り合うメモリセルMの間でメモリ機能体604と選択トランジスタ601との配置が対称（逆）になっており、各メモリセルMのメモリ機能体604と選択トランジスタ601は、対応するビットラインBとソースラインSとの間に直列に

接続されている。

例えばメモリセルM (3 2 0) を選択するとき、それに接続されたワードラインW (3 0 0) に選択トランジスタの閾値電圧以上の電圧V<sub>H</sub>を与え、その他のワードラインWには0 V (接地電位) を与える。かつ、メモリセルM (3 2 0) に接続されたビットラインB (0 2 0) に書き込み、読出し、消去に必要な電圧V<sub>b</sub>を印加し、ソースラインS (0 1 0) にはメモリセルM (3 1 0) が書き込みまたは消去動作しない電圧、例えば電圧V<sub>b</sub>を与える。その他のビットラインB (0 4 0) およびソースラインS (0 3 0), S (0 5 0) にはたとえ選択トランジスタがON状態であっても、書き込み、消去が行われない電圧、例えば0 Vを与える。

このようにすれば、メモリセルM (3 2 0) のメモリ機能体6 0 4には電位差約V<sub>b</sub>の電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ6 0 1がOFF状態であるか、選択トランジスタ6 0 1がON状態であってもビットラインBとソースラインSとの間の電位差が0 Vであるので、メモリ機能体には電圧が加わらずメモリ動作は行われない。

図9 Aは、上述のメモリ機能体と選択トランジスタとが直列接続されたタイプの複数のメモリセルM1, M2, M3, ...をシリコン基板9 0 0上に集積化した一態様のメモリの断面構造を示している。各メモリセルMの選択トランジスタは、シリコン基板9 0 0の表面に互いに離間して形成されたドレイン領域9 0 3およびソース領域9 0 7と、それらの間の基板表面を覆うゲート酸化膜9 0 8およびゲート電極9 0 9を含んでいる。隣り合うメモリセルは基板9 0 0と平行な方向(図9における左右方向)に関して対称に構成されている。メモリセルM1, M2のソース領域9 0 7は一体に連続して形成され、このソース領域9 0 7上に1つのソースコンタクト9 0 2が形成されている。つまり、メモリセルM1, M2間でソースコンタクト9 0 2が共有されている。メモリセルM2, M3のドレイン領域9 0 3, 9 0 3は左右に離間して分離され、それらのドレイン領域9 0 3, 9 0 3上にまたがって1つのメモリ機能体9 0 4 (既述の微粒子含有体1 1 3と同じ物) と1つのビットコンタクト9 0 1が形成されている。つまり、メモリ機能体9 0 4は2つのドレイン領域9 0 3, 9 0 3に接するように、左右方向に一

体に連続して形成されている。また、メモリセルM2, M3間でビットコンタクト901が共有されている。ビットコンタクト901には対応するビットライン926が接続されている。

この構成では、メモリ機能体904のうちメモリ動作を行うのは、図9Bに示すように、ビットコンタクト901とドレイン領域903, 903との間に挟まれて電圧が印加される領域905, 905に限られる。メモリ機能体904は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体904のうち有効な電圧が印加されない残りの部分（領域905, 905の間に相当する部分）は、メモリ動作をしない。

したがって、このメモリでは、メモリ機能体904は2ビットメモリ機能体として働く。このため、個々のドレイン領域903上にそれぞれ1つのメモリ機能体を形成する場合に比べ、メモリ機能体904の占有面積は約半分になる。また、ビットコンタクト901、ソースコンタクト902の数も約半分に減少させることができる。したがって1セルあたりの占有面積が減少し集積度が向上する。

図10A, 図10Bはそれぞれ図9に示したメモリの変形例を示している。なお、既に表示した図中の構成要素と同じ構成要素には同じ符号を付して、説明を省略する（以下同様。）。

これらの変形例では、隣り合うメモリセルM2, M3のドレイン領域903, 903は、基板900の表面に形成された断面矩形のトレンチ（溝）1003によって左右に分離されている。トレンチ1003を定める基板壁面（トレンチの内壁）に沿って絶縁膜1001が断面コの字状に形成され、絶縁膜1001の内側は例えばポリシリコンや金属などの導電性物質（トレンチ電極）1005で埋め込まれている。トレンチ電極1005はビットコンタクト1006と電氣的に接続されている。

図10Aのメモリでは、絶縁膜1001のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体1004が構成されている。この例では、メモリ機能体1004は、基板表面からドレイン領域903の深さよりも深くまで達している。一方、図10Bのメモリでは、絶縁膜1001のうち全領域に導電性微粒子が含有されてメモリ機能体1014が構成されている。

いずれにしても図10Cに示すように、メモリ機能体1004のうちメモリ動作を行うのは、トレンチ電極1005とドレイン領域903とで挟まれて電圧が印加される領域1024、1024に限られる。メモリ機能体1004は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体1004のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

これらの図10A、図10Bのメモリでは、図9のメモリと同様に、個々のドレイン領域903上にそれぞれ1つのメモリ機能体を形成する場合に比べ、メモリ機能体1004、1014の占有面積は約半分になる。また、ビットコンタクト901、ソースコンタクト902の数も約半分に減少させることができる。したがって1セルあたりの占有面積が減少し集積度が向上する。

図11は、上述のメモリ機能体と整流機能体とを含むメモリセルMを行列状に備えたメモリの回路構成を示している。ワードラインW、ビットラインBがそれぞれ行方向、列方向に延びている。各メモリセルMのメモリ機能体1204（既述の微粒子含有体113と同じ物）と整流機能体1201は、対応するビットラインBとワードラインWとの間に直列に接続されている。各整流機能体1201は、ワードラインWからメモリ機能体1204を通してビットラインBへ電流が流れるのを許容する一方、ビットラインBからメモリ機能体1204を通してワードラインWへ電流が流れるのを阻止する。

例えばメモリセルM(320)を選択するとき、それに接続されたワードラインW(300)に正電圧 $V_H$ を印加し、かつビットラインB(020)にメモリ機能体1204に書き込み、読出し、消去のうち所望の動作に必要な電位差になるような負電圧 $V_L$ を印加する。さらにその他のビットラインB(010)、B(030)、B(010)には、ワードラインWに正電圧 $V_H$ が印加されていてもメモリ機能体1204に書き込み、消去が行われない電位差になるような電圧を印加する。例えば電位差を0にするならば電圧 $V_H$ を印加する。同様に、その他のワードラインW(100)、W(200)、W(400)には電圧 $V_L$ を印加し選択しないメモリ機能体1204に加わる電位差を0になるようにする。

このようにすれば、メモリセルM(320)のメモリ機能体1204には電位差約( $V_H - V_L$ )のが印加されメモリ動作が行われる。その他のメモリセルM

では電位差が0であるか、電位差があっても整流機能体1201に対して逆方向電圧であるので、電流が制限されてメモリ機能体1204はメモリ動作を行わない。

あるいは、整流機能体1201として、閾値が存在し順方向であっても電位差 $V_t$ 未満では電流が流れないかメモリ動作しない程度の小電流しか流れないものを用いても良い。但し、メモリ機能体1204のメモリ動作に必要な電位差を $V_m$ としたとき、 $V_t > (V_m/2)$ であるものとする。例えば、メモリセルM(320)を選択するためにはワードラインW(300)に正電圧( $V_m/2$ )、ビットラインB(020)に負電圧 $-(V_m/2)$ を印加して、メモリ機能体1204にメモリ動作に必要な電位差 $V_m$ を与える。その他のワードラインWおよびビットラインBには電圧0Vを与える。この場合、非選択のメモリセルMには最大( $V_m/2$ )の電位差が加わるが、整流機能体1201によって電流が制限されるので、メモリ動作は行われな

図12は、上述のメモリ機能体とPN接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

図12Aは、メモリ機能体1204(既述の微粒子含有体113と同じ物)と整流機能体1201とが電氣的に直列に接続された態様を模式的に示している。整流機能体1201は、N型半導体1202とP型半導体1203とが作るPN接合を含んでいる。

図12Bは、図12Aにおける整流機能体1201を半導体基板(例えばシリコン基板)1215上に形成した態様を模式的に表している。この例では、整流機能体1201のP型半導体領域1203およびN型半導体領域1202は、公知の方法により、半導体基板1215の表面へ順次不純物を注入、拡散等することにより形成されている。

図12C～図12Eは、図12Bにおけるメモリ機能体1204の配置を具体的に表している。図12Cはメモリ機能体1204がコンタクト1226の途中に設けられた例であり、図12Dはメモリ機能体1204がN型半導体領域1202に接するように設けられた例であり、また、図12Eはメモリ機能体1204がビットライン1247に接するように設けられた例である。メモリ機能体1

204は既述の方法により形成され、コンタクト1226、1227は公知の方法により形成される。

図13は、各メモリセルにメモリ機能体とPN接合からなる整流機能体とを含み、かつ隣り合う2つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図13ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

図13Aは、メモリ機能体1204と整流機能体1301とを含むメモリセルM11、M12、M13、…が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体1301は、N型半導体領域1302とP型半導体領域1303とが作るPN接合を含んでいる。P型半導体領域1303にはワードコンタクト1305、メモリ機能体1204にはビットコンタクト1304がそれぞれ電氣的に接続されている。

図13Bは、上述の複数のメモリセルM11、M12、M13、…をシリコン基板1316上に集積化してなるメモリの断面構造を示している。隣り合うメモリセルM11、M12の間ではN型半導体領域1302、1302が基板1316と平行な方向（図13における左右方向）に離間して形成され、それらのN型半導体領域1302、1302上にまたがって1つのメモリ機能体1204と1つのビットコンタクト1304が形成されている。つまり、メモリ機能体1204は2つのN型半導体領域1302、1302に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM12、M13の間ではP型半導体領域1303が一体に連続して形成され、その上に1つのワードコンタクト1305が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

このメモリを作製するには、まずシリコン基板1316の表面に酸化膜（図示せず）を形成し、既述の方法でメモリ機能体1204を形成する。次に、シリコン基板1316の表面へ順次不純物を注入、拡散等することによりP型半導体領域1303、N型半導体領域1302を形成する。このとき、メモリ機能体1204に覆われた領域には不純物は注入されない。この後、公知の方法により、コンタクト1304、1305を形成する。

図 1 3 C は、図 1 3 B に示したメモリの変形例を示している。この変形例では、隣り合うメモリセル M 1 1, M 1 2 の N 型半導体領域 1 3 0 2, 1 3 0 2 間に、公知の方法により素子分離領域 1 3 2 7 が設けられている。このようにした場合、隣り合う 2 つのメモリセル M 1 1, M 1 2 間を確実に電氣的に分離できる。

5 図 1 3 D は、さらなる変形例を示している。この変形例では、隣り合うメモリセル M 1 1, M 1 2 の N 型半導体領域 1 3 0 2, 1 3 0 2 間に、公知の方法により断面矩形のトレンチ（溝） 1 3 3 3 が設けられている。トレンチ 1 3 3 3 を定める基板壁面（トレンチの内壁）に沿って絶縁膜 1 3 3 1 が断面コの字状に形成され、絶縁膜 1 3 3 1 の内側は例えばポリシリコンや金属などの導電性物質（ト  
10 レンチ電極） 1 3 3 5 で埋め込まれている。トレンチ電極 1 3 3 5 はビットコンタクト 1 3 0 4 と電氣的に接続されている。そして、絶縁膜 1 3 3 1 のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体 1 3 3 4 が構成されている。この例では、メモリ機能体 1 3 3 4 は、基板表面から N 型半導体領域 1 3 0 2 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2  
15 つのメモリセル M 1 1, M 1 2 間を確実に電氣的に分離できる。

図 1 4 は、上述のメモリ機能体と整流機能体と選択トランジスタとを含むメモリセル M を行列状に備えたメモリの回路構成を示している。ワードライン W、ビットライン B がそれぞれ行方向、列方向に延びている。この例では、行方向に隣り合うメモリセル M の間でメモリ機能体 1 2 0 4、整流機能体 1 2 0 1、選択ト  
20 ランジスタ 1 2 0 9（既述の選択トランジスタ 6 0 1 と同じ物）の配置が対称（逆）になっている。また、列方向に関してワードライン W を介して隣り合うメモリセル M の間でメモリ機能体 1 2 0 4、整流機能体 1 2 0 1、選択トランジスタ 1 2 0 9 の配置が対称（逆）になっている。各メモリセル M のメモリ機能体 1 2 0 4 と整流機能体 1 2 0 1 と選択トランジスタ 1 2 0 9 は、対応するビットライン B とビットライン B との間に直列に接続されている。なお、各ビットライン B は、切り替えられてソースラインとしても働く。  
25

メモリセル M（3 2 0）を第 1 のセルとし、それに対して行方向に隣り合うメモリセル M（3 1 0）、M（3 3 0）をそれぞれ第 2 のセル、第 4 のセルとし、列方向に隣り合うメモリセル M（2 2 0）、M（4 2 0）をそれぞれ第 3 のセル、

第5のセルとする。第1のセルM(320)と第2のセルM(310)についてビットラインB(020)は共通、ワードラインW(200)は共通、かつソースラインB(010), B(030)は非共通である。第1のセルM(320)と第3のセルM(220)についてビットラインB(020)は共通、ソースラインB(030)は共通、かつワードラインW(200), W(100)は非共通である。第1のセルM(320)と第4のセルM(330)についてソースラインB(030)は共通、ワードラインW(200)は共通、かつビットラインB(020), B(040)は非共通である。そして、第1のセルM(320)と第5のセルM(420)についてワードラインW(200)は共通、第1のセルM(320)のソースラインB(030)と第5のセルM(420)のビットラインB(030)は共通、かつ第1のセルM(320)のビットラインB(020)と第5のセルM(420)のソースラインB(020)は共通である。

例えば、第1のセルM(320)を選択する場合、ワードラインW(200)に選択トランジスタ1209がONする電圧 $V_o$ 、その他のワードラインW(100)には選択トランジスタ1209がOFFする電圧 $V_u$ を印加する。かつ、ビットラインB(010), B(020)には高電圧 $V_H$ 、その他のビットラインB(030), B(040)には低電圧 $V_L$ を印加する。ただし電位差( $V_H - V_L$ )はメモリセルMがメモリ動作するに十分な順方向電流が流れる電位差とする。

このようにすれば、第1のセルM(320)にはメモリ動作に必要な電位差と順方向電流が流れる。

第1のセルM(320)に対して行方向に隣り合い、それぞれ第1のセルM(320)とビットラインB(020), B(030)を共用しているセル、つまり第2のセルM(310)と第4のセルM(330)は、選択トランジスタ1209のON、OFFにかかわらず電位差がなく(電圧が加わらず)、電流が流れないのでメモリ動作はしない。

第1のセルM(320)に対して列方向に隣り合い、第1のセルM(320)とビットラインB(020), B(030)の両方を共用しているが、ワードラインW(200)を共用していないセル、つまり第3のセルM(220)は、選



択トランジスタ1209がOFFであるので、メモリ動作に必要な電流が流れずメモリ動作はしない。

第1のセルM(320)に対して列方向に隣り合い、第1のセルM(320)とビットラインB(020)、B(030)およびワードラインW(200)の  
5 全てを共用しているセル、つまり第5のセルM(420)は、整流機能体1201のお蔭で逆方向電流しか流れないため、メモリ動作に必要な電流が流れずメモリ動作はしない。

このメモリでは、ビットラインおよびワードラインの共用が可能になるので、配線を減少させることができ、配線に起因する占有面積の増大を大幅に抑制する  
10 ことが可能となる。

図15は、上述のメモリ機能体とショットキー接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

図15Aは、メモリ機能体1504(既述の微粒子含有体113と同じ物)と整流機能体1501とが電氣的に直列に接続された態様を模式的に示している。  
15 整流機能体1501は、金属1502とN型半導体1503とが作るショットキー接合を含んでいる。

図15Bは、図15Aにおける整流機能体1501を半導体基板(例えばシリコン基板)1515上に形成した態様を模式的に表している。この例では、整流機能体1501のN型半導体領域1503は、公知の方法により、半導体基板1515の表面へ不純物を注入、拡散等することにより形成されている。その上に  
20 金属1512を形成して、金属1502とN型半導体1503との間にショットキー接合が形成されている。金属1502上にはコンタクト1526を介してメモリ機能体1504が設けられている。金属1502とコンタクト1526は同じ材質から成っていてもよく、その場合、工程を分けずに済むため工程を減らす  
25 ことができ、生産性に優れる。

図15C～図15Dは、図15Bにおけるメモリ機能体1504の配置を具体的に表している。図15Cはメモリ機能体1504がコンタクト1526の途中に設けられた例であり、図15Dはメモリ機能体1504が金属1502に接するように設けられた例である。

ここで、金属と半導体との間にショットキー接合を形成するためには、半導体の不純物濃度（N型、P型を問わず）が低濃度、例えば  $10^{18} / \text{cm}^3$  未満であることが望ましい。半導体の不純物濃度が高濃度すぎると、オーミック接合が形成されてしまうからである。なお、半導体をN型にするかP型にするかは整流方向をどちらにするかによる。例えば半導体をN型にした場合、金属－n型半導体ショットキー接合の順方向は金属からN型半導体の方向になる。すなわち、電子はN型半導体から金属の方向へ移動する。

図15Eは、上述のN型半導体領域1503が、金属1502に接する低濃度N型半導体層1543と、その周りを取り囲みコンタクト1527に接する高濃度N型半導体層1548とからなる態様を示している。高濃度N型半導体層1548の不純物濃度は、例えば  $10^{20} / \text{cm}^3$  を超える程度とする。抵抗半導体層1548を備えた例である。このようにすれば、金属1502との間でショットキー接合を形成できるとともに、コンタクト1527との間でオーミック接合を形成できる。しかも、N型半導体領域1503（高濃度N型半導体層1548）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

なお、コンタクトと半導体層との接合をオーミック接合とするには、半導体層の不純物濃度を高濃度にする、あるいは接合部分に金属シリサイドを形成するなどの方法を用いることができる。

図16は、各メモリセルにメモリ機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う2つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図16ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

図16Aは、メモリ機能体1504と整流機能体1601とを含むメモリセルM21、M22、M23、…が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体1601は、N型半導体領域1602と金属層1603とが作るショットキー接合を含んでいる。金属層1603にはビットコンタクト1605、メモリ機能体1504にはワードコンタクト1604がそれぞれ電氣的に接続されている。

図16Bは、上述の複数のメモリセルM21、M22、M23、…をシリコン

基板1616上に集積化してなるメモリの断面構造を示している。隣り合うメモリセルM21, M22の間ではN型半導体領域1602, 1602が基板1616と平行な方向（図16における左右方向）に離間して形成され、それらのN型半導体領域1602, 1602上にまたがって1つのメモリ機能体1504と1つのワードコンタクト1604が形成されている。つまり、メモリ機能体1504は2つのN型半導体領域1602, 1602に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM22, M23の間では金属層1603が一体に連続して形成され、その上に1つのビットコンタクト1605が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

このメモリを作製するには、まずシリコン基板1616の表面に酸化膜（図示せず）を形成し、既述の方法でメモリ機能体1504を形成する。次に、シリコン基板1616の表面へ順次不純物を注入、拡散等することによりN型半導体領域1602を形成する。このとき、メモリ機能体1504に覆われた領域には不純物は注入されない。次に、N型半導体領域1602とショットキー接合を形成するように金属層1603を形成する。この後、公知の方法により、コンタクト1604, 1605を形成する。

図16Cは、図16Bに示したメモリの変形例を示している。この変形例では、隣り合うメモリセルM21, M12のN型半導体領域1602, 1602間に、公知の方法により素子分離領域1627が設けられている。このようにした場合、隣り合う2つのメモリセルM21, M22間を確実に電氣的に分離できる。また、上述のN型半導体領域1602が、金属層1603に接する低濃度N型半導体層1643と、その周りを取り囲みメモリ機能体1504と接する高濃度N型半導体層1648とからなっている。これにより、N型半導体領域1602（高濃度N型半導体層1648）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

図16Dは、さらなる変形例を示している。この変形例では、隣り合うメモリセルM21, M12のN型半導体領域1602, 1602間に、公知の方法により断面矩形のトレンチ（溝）1633が設けられている。トレンチ1633を定

める基板壁面（トレンチの内壁）に沿って絶縁膜 1 6 3 1 が断面コの字状に形成され、絶縁膜 1 6 3 1 の内側は例えばポリシリコンや金属などの導電性物質（トレンチ電極） 1 6 3 5 で埋め込まれている。トレンチ電極 1 6 3 5 はワードコンタクト 1 6 0 4 と電氣的に接続されている。そして、絶縁膜 1 6 3 1 のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体 1 6 3 4 が構成されている。この例では、メモリ機能体 1 6 3 4 は、基板表面から N 型半導体領域 1 6 0 2 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2 つのメモリセル M 2 1, M 2 2 間を確実に電氣的に分離できる。また、図 1 6 C におけるのと同様に、上述の N 型半導体領域 1 6 0 2 が、金属層 1 6 0 3 に接する低濃度 N 型半導体層 1 6 4 3 と、その周りを取り囲みメモリ機能体 1 5 0 4 と接する高濃度 N 型半導体層 1 6 4 8 とからなっている。これにより、N 型半導体領域 1 6 0 2（高濃度 N 型半導体層 1 6 4 8）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

図 1 7 A は上述のメモリ機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示し、図 1 7 B は図 1 7 A 中の構成要素の電氣的接続を示している。なお、図 1 7 A では層間絶縁体は図示していない。

このメモリは、図示しない基板に対して平行にそれぞれ異なる高さで延びる複数の配線 1 7 0 1, 1 7 0 2, 1 7 0 3, …を備えている。上層の配線 1 7 0 1 と下層の配線 1 7 0 3 とは平行で、これらに対して中間層の配線 1 7 0 2 が交差している。配線 1 7 0 1 と配線 1 7 0 2 とが交差する箇所に、コンタクト 1 7 0 6 を介してそれらの配線 1 7 0 1, 1 7 0 2 に挟まれるようにメモリ機能体 1 7 1 0（既述の微粒子含有体 1 1 3 と同じ物）が設けられている。これにより、メタル配線 1 7 0 1 とメタル配線 1 7 0 2 とが交差する箇所に、メモリセルが構成されている。同様に、配線 1 7 0 2 と配線 1 7 0 3 とが交差する箇所に、コンタクト 1 7 1 6 を介してそれらの配線 1 7 0 2, 1 7 0 3 に挟まれるようにメモリ機能体 1 7 2 0（既述の微粒子含有体 1 1 3 と同じ物）が設けられて、メモリセルが構成されている。なお、別の言い方をすれば、コンタクト 1 7 0 6, 1 7 1 6 をそれぞれ分断するようにメモリ機能体 1 7 1 0, 1 7 2 0 が設けられている。

この図 1 7 A の構造では、メモリ機能体 1 7 1 0, 1 7 2 0 が 3 次元的に集積

化されているので、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

図18Aは、上述のタイプの3次元立体構造を持つメモリであって、各メモリセルがメモリ機能体と整流機能体とを含むものを示している。図18Bは図18A中の構成要素の電氣的接続を示している。

このメモリは、図示しない基板に対してそれぞれ異なる高さで延びる複数のメタル配線1801, 1802, 1803A, …を備えている。下層のメタル配線1801と上層のメタル配線1803Aとは平行で、これらに対して中間層のメタル配線1802が交差している。メタル配線1801とメタル配線1802とが交差する箇所に、メタル配線1801に接してショットキー接合を形成するように半導体1820が設けられている。メタル配線1801と半導体1820とで整流機能体が構成されている。その整流機能体をなす半導体1820とメタル配線1802とに挟まれるようにメモリ機能体1810（既述の微粒子含有体113と同じ物）が設けられている（半導体1820とメタル配線1802とはメモリ機能体1810によって電氣的に隔てられている。）。これにより、メタル配線1801とメタル配線1802とが交差する箇所に、メモリセルが構成されている。同様に、メタル配線1802とメタル配線1803Aとが交差する箇所に、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1832Aが構成されている。さらに、メタル配線1803とその上層の図示しないメタル配線とが交差する箇所にも、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1833Aが構成されている。

図18Bは、図18Aに示したメモリの変形例を示している。図18Aの構造では、例えばメタル配線1803Aの上下に配置されたメモリセル1833A, 1832Aが上下方向に1列に並んでいる。これに対して、この図18Bの構造では、下層のメタル配線1801に対して上層のメタル配線1803Bが横方向（この配線1803Bの長手方向に対して垂直な方向）にずらして配置されている。これとともに、例えばメタル配線1803Bの下に配置されたメモリセル1832Bに対して、上に配置されたメモリセル1833Bがこの配線1803B

の長手方向にずらして配置されている。この結果、この図18Bの構造では、図18Aの構造に比べて、メモリセル間の空間的な平均距離がより遠くなっている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

次に、図19を用いて、図18Aに示したタイプの3次元立体構造を持つメモリの作製方法を説明する。図19A、図19B、図19C、図19D、図19Eは作製途中の物をそれぞれ同一方向から見たときの態様を示し、図19F、図19G、図19H、図19I、図19Jはそれぞれ図19A、図19B、図19C、図19D、図19Eの物を右側方から見たときの態様を示している。

10      まず図19A、図19Fに示すように、図示しない基板上の全域に、メタル配線層1901と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）1902と、メモリ機能体層1903とを順次積層する。メモリ機能体層1903は、既述の微粒子含有体113と同じ構造になるように、例えばシリコン酸化膜を形成した後、そのシリコン酸化膜中に導電性微  
15      粒子をイオン注入して形成する。

次に図19B、図19Gに示すように、各層1903、1902、1901を一括してエッチングして、一方向に延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層1903、1902、1901毎にエッチングを繰り返すよりも、工程を簡略化することができる。なお、このエッチング後、全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP（化学的機械的研磨）法によりその表面の平坦化を行う。

次に図19C、図19Hに示すように、この上の全域に、繰り返して、メタル配線層1924と、このメタル配線層とショットキー接合を形成するための半導体層1925と、メモリ機能体層1926とを順次積層する。

25      次に図19D、図19Iに示すように、各層1924、1925、1926一括してエッチングして、上記各層1903、1902、1901が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層1924、1925、1926毎にエッチングを繰り返すよりも、工程を簡略化することができる。この段階で、下層のメタル配線

1901とその上のメタル配線1924とが交差する箇所に、パターン加工された半導体層1902とメモリ機能体1903とを含む1層目のメモリセルが形成されている。なお、このエッチング後、再び全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP法によりその表面の平坦化を行う。

5       この後同様にして、図19E、図19Jに示すように、メタル配線となるべきメタル層1947、半導体層1948、メモリ機能体層1949の堆積と、一括エッチングとを繰り返す。この段階で、メタル配線1924とその上のメタル配線1947とが交差する箇所に、パターン加工された半導体層1925とメモリ機能体1926とを含む2層目のメモリセルが形成されている。

10       このようにして、メタル層、半導体層、メモリ機能体層の堆積と一括エッチングとを繰り返すことによって、3次元立体構造を持つメモリを作製することができる。

      なお、次回の一括エッチングによって、パターン加工された半導体層1948とメモリ機能体層1949とを含む3層目のメモリセルが形成される。

15       さて、既に述べたように、メモリ機能体は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

      例えば図20Aに示すように、メモリ機能体層2001を挟む上下一対の電極2003、2002；2003、2002；…が層方向（図20における左右方向）に互いに離間して並べて置されているものとする。この場合において、例えば右端の電極対2003、2002の間に電圧が印加されたとき、メモリ機能体層2001のうちメモリ動作する領域は、右端の電極対2003、2002の間に挟まれた領域2004A近傍に限られる。したがって、電圧が印加されない中央の電極対2003、2002の間に挟まれた領域2004Bが誤動作することはない。

25

      また図20Bに示すように、メモリ機能体層2011の下に左右方向に延びる配線層2012が形成され、メモリ機能体層2011の上に奥手前方向（図20の紙面に垂直な方向）に延びる配線層2013、2013、…が互いに離間して並べて置されているものとする。この場合も、例えば配線層2012と右端の配

線層 2013 との間に電圧が印加されたとき、メモリ機能体層 2011 のうちメモリ動作する領域は、それらの配線層 2012, 2013 が交差する領域 2014A 近傍に限られる。したがって、配線層 2012 と中央の配線層 2013 との間に挟まれた領域 2004B が誤動作することはない。

5        このように、メモリ機能体層のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。したがって、メモリ機能体層をエッチングによってメモリセル毎に分割せず、一体に連続した状態にすることができる。そのようにした場合、メモリ動作する領域にエッチングによるダメージを与えるのを防止でき、メモリの信頼性を向上することができる。

10        次に、図 21 を用いて、3 次元立体構造を持つメモリを作製する際に、メモリ機能体層を層方向に一体に連続した状態に形成する作製方法を説明する。図 21 A, 図 21 B, 図 21 C, 図 21 D, 図 21 E は作製途中の物をそれぞれ同一方向から見たときの態様を示し、図 21 F, 図 21 G, 図 21 H, 図 21 I, 図 21 J はそれぞれ図 21 A, 図 21 B, 図 21 C, 図 21 D, 図 21 E の物を右側  
15        方から見たときの態様を示している。

      まず図 21 A, 図 21 F に示すように、図示しない基板上の全域に、メタル配線層 2101 と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）2102 とを順次積層し、これらの層 2102, 2101 を一括してエッチングして、一方向に延びるライン状にパターン加工する。  
20        さらに、半導体層 2102 をエッチングして、メモリセル毎に分離する。このエッチング後、全域に層間絶縁膜となるべき絶縁体層 2103、例えば酸化シリコンを十分厚く堆積し、図 21 B, 図 21 G に示すように、CMP 法によりその表面の平坦化を行う。この平坦化は、半導体層 2102 の上面が露出するまで行うのではなく、半導体層 2102 上の絶縁体層 2103 の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。  
25        次に図 21 C, 図 21 H に示すように、絶縁体層 2103 のうち半導体層 2102 の上面より上の領域に、導電性微粒子をイオン注入してメモリ機能体層 2104 を形成する。メモリ機能体層 2104 は、既述の微粒子含有体 113 と同じ構造で、半導体層 2102 に接し、かつ基板上の全域に層方向に一体に連続した



状態に形成される。

次に図 2 1 D, 図 2 1 I に示すように、再び全域にメタル配線層 2 1 0 5 と、このメタル配線層とショットキー接合を形成するための半導体層 2 1 0 6 とを順次積層し、これらの層 2 1 0 6, 2 1 0 5 を一括してエッチングして、メタル層 2 1 0 1 が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。さらに、半導体層 2 1 0 6 をエッチングして、メモリセル毎に分離する。このエッチング後、全域に層間絶縁膜となるべき絶縁体層 2 1 0 7、例えば酸化シリコンを十分厚く堆積し、図 2 1 E, 図 2 1 J 中に示すように、CMP 法によりその表面の平坦化を行う。この平坦化は、半導体層 2 1 0 6 の上面が露出するまで行うのではなく、半導体層 2 1 0 6 上の絶縁体層 2 1 0 7 の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。

この後、同様の工程を繰り返して、図 2 1 E, 図 2 1 J に示すような 3 次元立体構造を得る。この図 2 1 E, 図 2 1 J は、メタル配線層、半導体層、メモリ機能体層を 3 組積層した様子を表している。図中、2 1 0 8 はメモリ機能体層、2 1 0 9 はメタル配線層、2 1 1 0 は半導体層、2 1 1 1 は層間絶縁膜（絶縁体層）、2 1 1 2 はメモリ機能体層をそれぞれ示している。

この構造では、図 2 1 E から分かるように、例えばメタル配線 2 1 0 9 の下に配置されたメモリセル 2 1 2 4 に対して、上に配置されたメモリセル 2 1 3 4 がこの配線 2 1 0 9 の長手方向にずらして配置されている。また、図 2 1 J から分かるように、例えばメタル配線 2 1 0 5 の下に配置されたメモリセル 2 1 1 4 に対して、上に配置されたメモリセル 2 1 2 4 がこの配線 2 1 0 5 の長手方向にずらして配置されている。この結果、この構造では、メモリセルを上下方向に 1 列に並べる場合に比べて、メモリセル間の空間的な平均距離がより遠くなっている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

図 2 2 A, 図 2 2 B は、図 2 1 E, 図 2 1 J に示した構造の変形例を示している。図 2 1 B は図 2 1 A の物を右側方から見たときの態様を示している。

この変形例では、メモリ機能体層 2 1 0 4 とその上下のメタル配線層 2 1 0 5、半導体層 2 1 0 2 との間、メモリ機能体層 2 1 0 8 とその上下のメタル配線層 2

109、半導体層2106との間、また、メモリ機能体層2112とその上下の  
メタル配線層2113、半導体層2110との間に、それぞれコンタクト220  
5が設けられている。

当然ながら、図21、図22においてそれぞれメモリ機能体をメモリセル毎に  
5分離した構造を用いることもできる。

図23A、図23Bは、図21E、図21Jに示した構造の別の変形例を示し  
ている。図21Bは図21Aの物を右側方から見たときの態様を示している。

この変形例では、ショットキー接合からなる整流機能体に代えて、PN接合か  
らなる整流機能体が設けられている。すなわち、メタル配線層2101とメモリ  
10機能体層2104との間、メタル配線層2105とメモリ機能体層2108との  
間、また、メタル配線層2109とメモリ機能体層2112との間に、それぞれ  
PN接合をなすP型半導体層2353とN型半導体層2352との対が設けられ  
ている。

なお、P型半導体層とN型半導体層とは入れ替えても良い。P型とN型を入れ  
15替えることにより整流方向を反転させることが可能である。

この図23の構造は、半導体層をP型半導体層とN型半導体層との2層とする  
工程以外は、図21の例と同様の工程で作製することができる。

一般に、ショットキー接合ダイオードに比べ、PN接合ダイオードは不純物濃  
度によって障壁高さを調節し易い。したがって、ショットキー接合からなる整流  
20機能体に代えて、PN接合からなる整流機能体を用いた場合、整流機能体の特性  
を調整し易く、汎用性に優れる。例えば障壁高さを調節すれば、一定電圧下で流  
れる電流量あるいは容量を変化させることができ、メモリ動作電圧を調整するこ  
とが容易である。

図24A、図24Bは、図23A、図23Bに示した構造の変形例を示してい  
25る。図24Bは図24Aの物を右側方から見たときの態様を示している。

この変形例では、整流機能体としてPN接合をなす2層の半導体層のうち、メ  
タル配線層に接する半導体層2451がそのメタル配線層に沿ってライン状に延  
びている。つまり、メタル配線層2101、2105、2109にそれぞれ接す  
る半導体層2451、2451、2451はメモリセル毎に分離されるのではな

く、メタル配線層 2101, 2105, 2109 とそれぞれ同じパターンに加工されている。

一般に、半導体層はメタルよりも高抵抗であるため、メモリセル毎に分離するよりも、この図 24A, 図 24B の構造のように、例えばビットラインをなすメタル配線層に沿ってライン状に延びるものとするのが好ましい。これにより、半導体層 2451 を少なくとも 2 つ以上のメモリセルで共通化して、実効的に低抵抗化できる。

詳しくは、図 23A, 図 23B に示した構造では、半導体層 2353 がメモリセル毎に分離されているため、メタル配線 2101 からメモリ機能体 2104 へ流れる電流経路は、図 25A 中に矢印で示すように、個々の半導体層 2353 のパターン内に限定される。これに対して図 24A, 図 24B に示した構造では、メタル配線 2101 からメモリ機能体 2104 へ流れる電流経路は、図 25B 中に矢印で示すように、メタル配線 2101 に沿った方向に広がる。したがって、配線実効断面積が増大して低抵抗となる。この結果、メモリの高速動作が可能となる。

当然ながら、半導体層 2451 がそのメタル配線層に沿ってライン状に延びていることによる効果は、メモリ機能体 2504 が層方向に一体に連続している場合だけでなく、メモリ機能体 2504 がメモリセル毎に分離されている場合でも同様である。

図 26A は一実施形態の半導体装置 2600 の概略平面レイアウトを示している。

この半導体装置 2600 は、上述のメモリ（メモリセル）を有するメモリ回路 2601 と、ロジック回路を有する周辺回路 2602 と、上記メモリ回路および周辺回路以外の機能を有する機能回路 2603 とを、同一の半導体基板上に集積化された態様で備えている。

図 26B は、比較のため、従来の半導体装置 2610 の概略平面レイアウトを示している。メモリ回路 2611 には、従来のフローティングゲートを有するフラッシュメモリが集積されている。この従来の半導体装置 2610 は、上記フラッシュメモリの駆動電圧がロジック回路の駆動電圧よりも高いので、周辺回路 2

6 1 2に昇圧回路や制御回路などが必要になり、また、メモリ回路の高い駆動電圧に耐えるように、周辺回路のトランジスタのゲート酸化膜を厚くする必要があって、周辺回路2 6 1 2の占有面積が大きくなっていた。したがって、半導体装置の小型化が困難であった。また、メモリ回路2 6 1 1および周辺回路2 6 1 2の占有面積が大きいため、他の機能のための機能回路2 5 1 3の占有面積の割合が小さく制限されていた。

これに対して、この半導体装置2 6 0 0では、本発明によるメモリセルを有するメモリ回路2 6 0 1が低電圧で動作可能であるので、周辺回路2 6 0 2と同じ電源電圧で動作可能である。したがって、メモリ回路2 6 0 1と周辺回路2 6 0 2との間で電源を共有でき、従来の昇圧回路や制御回路が削除できる。この結果、周辺回路2 6 0 2の占有面積を小さくできる。また、メモリ回路2 6 0 1の駆動電圧が低いので、周辺回路2 6 0 2が含むトランジスタのゲート酸化膜を薄くでき、周辺回路2 6 0 2の占有面積を小さくできる。さらに、メモリ回路2 6 0 1は高集積化できるので、メモリ回路2 6 0 1の占有面積を小さくできる。これらの結果、この半導体装置2 6 0 1は、従来の半導体装置2 6 1 0よりも小型にできる。また、メモリ回路および周辺回路以外の機能回路2 6 0 3のための占有面積を広げることができるので、従来よりも高機能の半導体装置を構成できる。

あるいは、この半導体装置2 6 0 0に従来の半導体装置2 6 1 0と同じ占有面積を許せば、従来よりも多くのメモリセルを集積して、半導体装置の記憶容量を増大できる。これによって、大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能となり、かつ、そのプログラムを他のプログラムと入れ替えることもできる。

図2 7は、本発明による電子機器の一例として、上述の半導体装置を備えた携帯電話機2 7 0 0の構成を模式的に示している。

この携帯電話機2 7 0 0は、本体2 7 1 0に、アンテナ部2 7 1 5と、RF回路部2 7 1 3と、表示部2 7 1 4と、半導体装置としての制御回路2 7 1 1と、これらの各構成要素に電力を供給するための電池2 7 1 2とを搭載している。2 7 1 6は信号線、2 7 1 7は電源線である。

制御回路 2711 は、本発明のメモリを有するメモリ回路とロジック回路とを混載した L S I（大規模集積回路）であり、R F 回路部 2713 と表示部 2714 を制御している。制御回路 2711 は、本発明による半導体装置が組み込まれているので、この携帯電話機を高機能化でき、また、消費電力を低減して、電池寿命を大幅に延長することができる。

なお、本実施形態では、電子機器の一例として携帯電話機を構成したが、携帯情報端末やゲーム機器など他の電子機器を構成しても同様の効果を発揮することが可能である。

なお、上述の実施形態では、絶縁体 101 の材料としてシリコン酸化物を挙げたが、シリコン窒化物、酸化アルミニウム、酸化チタン等の絶縁体であれば用いることができる。ただし、微粒子の大きさにもよるが、絶縁体 101 があまりに高誘電率材料であると、容量が増大して動作速度に影響を与える。このため、絶縁体 101 の材料としては、比誘電率が 10 以下、好ましくは 4 以下の低誘電率を有するものが好ましい。

また、微粒子 102 を構成する材料として銀を挙げたが、微粒子 102 を構成する材料としては、金、銀、銅、アルミニウム、錫、ニッケル、白金、亜鉛、ハフニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入工程が容易であるので好ましい。

また、第 2（第 4）の電極 112 としてシリコン基板を用いたが、シリコン以外の半導体または金属材料からなる基板を用いても良い。また、ガラス基板などの絶縁体材料からなる基板上に、C V D（化学気相成長法）や蒸着、M B E（分子線エピタキシ法）などによって導電層を形成し、その導電層を第 2（第 4）の電極として用いても良い。

シリコン膜の形成はエピタキシャル成長やポリシリコン堆積、C G S（連続粒界シリコン）などを用いることができる。ただし、比較的低温での形成が可能なポリシリコンや C G S を用いるのが好ましい。より好ましくは結晶性のよい C G

Sを用いた方が、整流性能が向上し信頼性に優れる。CGSは特開平8-78329号公報などに記載の作製方法によって低温で作製可能なシリコンであり、他の低温で作成可能なアモルファスシリコンやCGS以外の低温ポリシリコンなどに比べて結晶性が良く高移動度が得られるなどの利点を有する。

5       以上より明らかなように、本発明のメモリによれば、メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、実用性のあるメモリが提供される。

      また、この発明のメモリの製造方法によれば、そのようなメモリを生産性良く作製できる。

10       また、この発明のメモリを含む半導体装置は、高集積化、低消費電力化が可能になる。

      また、そのような半導体装置を備えた電子機器は、小型化、低消費電力化が可能になり、携帯の用途に適する。

      図28Aは、第1の電極3601と第2の電極3602の間に設けられた微粒子含有体3113（既述の微粒子含有体113と同じ物）に対して、第1の電極3601と第2の電極3602とが対向する方向V1、V2に垂直な方向（これを「層方向」と呼ぶ。）H1から第3の電極3603が隣接している例を示している。第1の電極3601と第2の電極3602は微粒子含有体3113を厚さ方向V1、V2に挟んでいる。これに対して、図28Bの例では、微粒子含有体3113に対する電極の配置が異なり、第1の電極3611と第2の電極3611とが上述の微粒子含有体3113を層方向H1、H2から挟み、微粒子含有体3113に対して厚さ方向V1から第3の電極3613が隣接している。

      図28Aの例では、第2の電極3602を接地し、第1の電極3601に電圧を印加して、それらの電極3601、3602間に流れる電流を観測した。また、  
25       図28Bの例では、第2の電極3612を接地し、第1の電極3611に電圧を印加して、それらの電極3611、3612間に流れる電流を観測した。いずれの場合も、観測は、第3の電極3603を接地した場合と、第3の電極3603に電圧を印加した場合との両方で行った。

      第3の電極3603、3613を接地した条件下では、図28Aの例と図28

Bの例とでは、電流対電圧（ $I-V$ ）特性に違いが見られたが、いずれの場合もヒステリシス特性が現れた。第3の電極3603, 3613に電圧を印加した条件下では、いずれの場合も、第3の電極3603, 3613を接地した場合に比してメモリウィンドウ（ヒステリシス）の幅が増大することが分かった。これは、  
5 第3の電極3603, 3613に電圧を印加した場合、メモリ機能が向上することを意味する。これにより、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。

図29は、図28Bに示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する方法を示している。

10 まず、図29Aに示すように、半導体基板、例えばシリコン基板3700上に、酸化のためのマスクとしてシリコン窒化膜3701を堆積し、このシリコン窒化膜の所定の領域に開口3701aを形成する。そして、図29Bに示すように、通常の素子分離工程と同様に、開口3701aを通してシリコン基板3700の表面から酸化して、シリコン基板3700の表面近傍領域（メモリ機能体を形成すべき領域）に、絶縁体としてのシリコン酸化膜3712を形成する。  
15

次に、図29Cに示すように、シリコン酸化膜3712に対して半導体または金属のイオン注入を行って、シリコン酸化膜3712中に導電性微粒子3723を形成する。この例では、既述の方法と同様に、シリコン酸化膜3712中に銀を負イオン注入法により導入した。この例では、さらに熱処理を行った。この熱  
20 処理は省略することも可能であるが、熱処理を行ったほうが好ましい。熱処理を行えば、導電性微粒子3723の粒径の調整や分布の調整ができ、更に注入欠陥等の回復が可能だからである。このようにして、既述の微粒子含有体3113と同じ構造を持つメモリ機能体3715を形成する。

次に、図29Dに示すように、公知のMOSトランジスタのゲート電極を形成するのと同様の方法で、メモリ機能体3715上に第3の電極としてのゲート電極3734を形成する。ここで、シリコン窒化膜3701を残したままゲート電極3734を形成するのが好ましい。そうすれば、ゲート電極3734とメモリ機能体3715との位置関係が自己整合的に定まるので、製造ばらつきが軽減するからである。  
25

シリコン窒化膜 3701 を剥離した後、図 29 E に示すように、ゲート電極 3734 をマスクとして、半導体基板 3700 の表面に不純物をイオン注入して、メモリ機能体 3715 を層方向（図 29 における左右方向）両側から挟むように、第 1, 第 2 の電極としてのソース領域 3745、ドレイン領域 3746 を形成する。

このようにして、図 28 B に示したタイプの電極配置を持つメモリを、半導体基板 3700 の表面に作製することができる。作製されたメモリは、ソース領域 3745 とドレイン領域 3746 との間に所定の電圧を印加した前後で、メモリ機能体 3715 を通して流れる電流の大小が変化して、その電流の大小に応じて記憶状態（書込状態、消去状態）が判別される。

図 30 は、図 28 B に示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する別の方法を示している。

まず、図 30 A に示すように、シリコン基板 3800 上に熱酸化によるシリコン酸化膜 3802 を形成する。続いて、既述の方法と同様に、シリコン酸化膜 3802 中に銀を負イオン注入法により導入して、シリコン酸化膜 3802 中に導電性微粒子 3803 を含む層状のメモリ機能体 3815 を形成する。続いて、メモリ機能体 3815 上の全域に、第 3 の電極を形成するための物質、例えばポリシリコン 3804 を堆積する。

次に、図 30 B に示すように、公知の MOS トランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体 3815 上に第 3 の電極としてのゲート電極 3804（理解の容易のため、上記ポリシリコンのものと同一符号を用いる。）を形成する。

次に、図 30 C に示すように、酸化を行って、シリコン基板 3800 の表面にシリコン酸化膜 3826 を形成するとともに、ゲート電極 3804 の表面にシリコン酸化膜 3827 を形成する。

次に、図 30 D に示すように、公知の方法を用いて、メモリ機能体 3815 を層方向（図 30 における左右方向）両側から挟むように、第 1, 第 2 の電極としてのポリシリコンサイドウォール 3836, 3837 を形成する。ポリシリコンサイドウォール 3836, 3837 は、シリコン酸化膜 3826, 3827 によ



って、シリコン基板 3800 とゲート電極 3804 に対して電氣的に絶縁されている。

次に、この上に図示しない層間絶縁膜を形成した後、図 30E に示すように、公知のコンタクト工程を実施して、ポリシリコンサイドウォール 3836, 3837 およびゲート電極 3804 の上に、それぞれコンタクト配線 3848, 3849, 3850 を形成する。

なお、メモリ機能体 3815 内では、導電性微粒子 3803 はシリコン酸化膜 3802 の厚さ方向に関して、シリコン基板 3800 に近い側に分布させるのが望ましい（図 30A 参照）。この理由は、導電性微粒子 3803 を第 3 の電極（ゲート電極）3804 から離れるように形成して、第 1, 第 2 の電極（ポリシリコンサイドウォール）3836, 3837 と第 3 の電極（ゲート電極）3804 との間で無用なメモリ動作が行われなくようにするためである。具体的には、導電性微粒子を形成するためのイオン注入を、注入深さがシリコン酸化膜表面より十分深くなるように実施する方法や、メモリ機能体 3815 とゲート電極 3804 との間に絶縁体膜を形成する方法などを用いることができる。

図 31 は、上述のメモリ機能体が基板に対して垂直な方向に複数配置されて、3 次元的に集積化されたメモリの構造を示している。図 31A は層間絶縁膜を取り除いてメモリを上方から見たときの平面レイアウトを示し、図 31B は図 31A における B-B' 線矢視断面を示している。図中、メモリ機能体は 3904、第 1 の電極は 3902、第 2 の電極は 3903、第 3 の電極は 3905 で表されている。コンタクト配線 3907 は、基板に対して垂直な方向に複数配置された第 2 の電極 3903, 3903, … を電氣的に接続している。

このメモリは、3 次元的に集積化されているので、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

なお、図 31 では図示を省略しているが、基板としては、例えば、ガラス基板や、シリコン基板の上層を酸化したもの等を用いることができる。従来の浮遊ゲート型のメモリでは通常 MOS トランジスタを基本にしているため、シリコン基板上に作製するのが一般的であるが、本発明によるメモリは必ずしもシリコン基板上に作製する必要はない。

次に、図 3 2 および図 3 3 を用いて、図 3 1 に示したタイプの 3 次元立体構造を持つメモリの作製方法を説明する。

図 3 2 A ～ 図 3 2 E は、上記メモリの作製途中の工程断面を示している。

まず、図 3 2 A に示すように、下地あるいは基板 4 0 0 0 の上にシリコン酸化膜等の絶縁体膜 4 0 0 1 と、シリコン膜 4 0 0 2 を順に積層する。続いて、シリコン膜 4 0 0 2 上に、酸化のためのマスクとしてシリコン窒化膜 4 0 0 3 を堆積し、このシリコン窒化膜の所定の領域に開口 4 0 0 3 a を形成する。そして、図 3 2 B に示すように、開口 4 0 0 3 a を通してシリコン膜 4 0 0 2 の表面から酸化して、シリコン膜 4 0 0 2 の所定の領域（メモリ機能体を形成すべき領域）に、絶縁体としてのシリコン酸化膜 4 0 1 8 を形成する。

続いて、図示しないマスクを用いて、既述の方法と同様に、シリコン酸化膜 4 0 1 8 中に銀を負イオン注入法により導入し、さらに熱処理を行って、メモリ機能体 3 9 0 4 を形成する。なお、シリコン膜 4 0 0 2 のうち酸化されずに残った領域は第 1 の電極 3 9 0 2 および第 2 の電極 3 9 0 3 として用いられる。

次に、図 3 2 C に示すように、この上の全域に、第 3 の電極を形成するための物質、例えばポリシリコンを堆積し、公知の MOS トランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体 3 9 0 4 上に第 3 の電極としてのゲート電極 3 9 0 5 を形成する。その後、この上の全域に、層間絶縁膜 4 0 2 6 を形成する。そして、この層間絶縁膜 4 0 2 6 の表面を CMP（化学的機械的研磨法）などで平坦化しておく。

この後、層間絶縁膜 4 0 2 6 上の全域に、再びシリコン膜 4 0 3 2 を積層する。そして、上に述べたのと同様の工程を繰り返すことによって、図 3 2 D に示すように、2 層目のメモリ機能体 3 9 0 4、第 1 の電極 3 9 0 2、第 2 の電極 3 9 0 3 および第 3 の電極 3 9 0 5 を形成する。その後、この上の全域に、層間絶縁膜 4 0 5 6 を形成する。そして、この層間絶縁膜 4 0 5 6 の表面を CMP など で平坦化しておく。

このようにして、所望の層数まで多層化した後、図 3 2 E に示すように、第 2 の電極 3 9 0 3、3 9 0 3、…を基板 4 0 0 0 に対して垂直な方向に接続するようにコンタクト配線 3 9 0 7 を形成する。

図 3 3 A～図 3 3 F は、作製途中の上記メモリを上から見たときの平面レイアウトを示している。

図 3 3 A に示すように、シリコン膜 4 0 0 2 は基板上の全域に形成される。

次に、図 3 3 B に示すように、シリコン膜 4 1 0 2 は、第 1 の電極 3 9 0 2、  
5 第 2 の電極 3 9 0 3 となる部分を残して部分的に酸化されて、シリコン酸化膜 4  
0 1 8 が形成される。第 1 の電極 3 9 0 2 は図 3 3 B において縦方向にライン状  
に延びている。一方、第 2 の電極 3 9 0 3 は矩形のパターンを持ち、シリコン酸  
化膜 4 0 1 8 中に個々に孤立している。シリコン酸化膜 4 0 1 8 は素子分離の役  
割も果たす。第 2 の電極 3 9 0 3 は、隣り合う第 1 の電極 3 9 0 2、3 9 0 2 間  
10 の中央に、縦方向に沿って複数配置されている。

次に、図 3 3 C に示すように、メモリ機能体 3 9 0 4 は、シリコン酸化膜 4 0  
1 8 内で第 1 の電極 3 9 0 2 と第 2 の電極 3 9 0 3 との間に挟まれた矩形領域に  
それぞれ形成される。このときの断面図が図 3 2 B に相当する。

次に、図 3 3 D に示すように、第 3 の電極としてのゲート電極 3 9 0 5 が、縦  
15 方向に並ぶ複数のメモリ機能体 3 9 0 4 上を通るように、縦方向に延びるライン  
状に形成される。

次に、図 3 3 E に示すように、この上の全域に層間絶縁膜 4 0 2 6 が形成され  
る。このときの断面図が図 3 2 C、図 3 2 D に相当する。

その後、図 3 3 F に示すように、コンタクト配線 3 9 0 7 が第 2 の電極 3 9 0  
20 3 を貫通する位置に形成される。このときの断面図が図 3 2 E に相当する。

また、この例では、第 1 の電極 3 9 0 2 と第 3 の電極 3 9 0 5 とが配線として  
いずれも縦方向に延びて平行になっているが、これに限られるものではない。通  
常の集積回路の作製におけるのと同様に配線を多層にすれば、第 1 の電極 3 9 0  
2 のための配線と、第 2 の電極 3 9 0 3 のための配線 3 9 0 7 と、第 3 の電極 3  
25 9 0 5 のための配線とが互いに交差するように形成することが可能である。

例えば図 3 4 A は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に  
垂直になっているメモリの構造を示している。図 3 4 B、図 3 4 C、図 3 4 D は  
それぞれ図 3 4 A のメモリを B 方向、C 方向、D 方向から見たところを示してい  
る。

このメモリでは、メモリ機能体4204に対して、第1の電極4209、第2の電極4202、第3の電極4205が図34Aにおいてそれぞれ左方向、右方向、上方向から接している。第1の電極4209には、コンタクト4219を介して、図34Aにおいて奥手前方向に延びる第1の配線4229が電氣的に接続されている。第2の電極4202には、図34Aにおいて上下方向に延びる第2の配線4207と電氣的に接続されている。第3の電極4205には、コンタクト4215を介して、図34Aにおいて左右方向に延びる第3の配線4225が電氣的に接続されている。

このように第1、第2、第3の電極につながる配線を互いに実質的に垂直に配置すれば、さらに大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

なお、上述の実施形態では、微粒子含有体を構成する絶縁体の材料としてシリコン酸化物を挙げたが、シリコン窒化物、酸化アルミニウム、酸化チタン等の絶縁体であれば用いることができる。ただし、微粒子の大きさにもよるが、絶縁体があまりに高誘電率材料であると、容量が増大して動作速度に影響を与える。このため、絶縁体の材料としては、比誘電率が10以下、好ましくは4以下の低誘電率を有するものが好ましい。

また、微粒子を構成する材料として銀を挙げたが、微粒子を構成する材料としては、金、銀、銅、アルミニウム、錫、ニッケル、白金、亜鉛、ハフニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入工程が容易であるので好ましい。

また、基板としてシリコン基板を用いたが、シリコン以外の半導体または金属材料からなる基板を用いても良い。また、ガラス基板などの絶縁体材料からなる基板上に、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などによって導電層を形成し、その導電層を第2の電極として用いても良い。

シリコン膜の形成はエピタキシャル成長やポリシリコン堆積、CGS（連続粒

界シリコン)などを用いることができる。ただし、比較的低温での形成が可能なポリシリコンやCGSを用いるのが好ましい。より好ましくは結晶性のよいCGSを用いた方が、整流性能が向上し信頼性に優れる。CGSは特開平8-78329号公報などに記載の作製方法によって低温で作製可能なシリコンであり、他の低温で作成可能なアモルファスシリコンやCGS以外の低温ポリシリコンなどに比べて結晶性が良く高移動度が得られるなどの利点を有する。

以上より明らかなように、本発明のメモリによれば、メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、実用性のあるメモリが提供される。

また、この発明のメモリの製造方法によれば、そのようなメモリを生産性良く作製できる。

また、この発明のメモリを含む半導体装置は、高集積化、低消費電力化が可能になる。

また、そのような半導体装置を備えた電子機器は、小型化、低消費電力化が可能になり、携帯の用途に適する。

図35は、一実施形態の抵抗変化機能体(全体を符号5100で示す。)の概略断面構造を示している。この抵抗変化機能体5100は、第3電極5130と第4電極5140との間に挟まれると共に、これらの第3、第4電極5130、5140とは別に設けられた第1電極5110と第2電極5120との間に挟まれた絶縁体5150を備えている。具体的には、第3電極5130と第4電極5140とは図における上下方向から絶縁体5150に接し、第1電極5110と第2電極5120とは図における左右方向から絶縁体5150に接している。絶縁体5150中には、第3電極5130と第4電極5140との間に所定の電圧を印加した前後で、第1の電極5110と第2の電極5120との間の電気抵抗がサイズ効果に基づいて変化するように配置された複数の導電性微粒子5160が含まれている。この例では、絶縁体5150の材料としてシリコン酸化膜を用いる一方、導電性微粒子としては粒径が $1\mu\text{m}$ 未満の銀粒子を用いるものとする。微粒子5160は、略均一な粒径で絶縁体5150の全域にわたって略一様に分布している。

この抵抗変化機能体 5 1 0 0 では、絶縁体 5 1 5 0 中での複数の導電性微粒子 5 1 6 0 の配置によって、第 3 電極 5 1 3 0 と第 4 電極 5 1 4 0 との間に所定の電圧を印加した前後で、第 1 電極 5 1 1 0 と第 2 電極 5 1 2 0 との間の電気抵抗が、導電性微粒子 5 1 6 0 のサイズ効果に基づいて変化する。つまり、第 3 電極 5 1 3 0 と第 4 電極 5 1 4 0 との間に電流を流すことによって、電流経路の近傍あるいは電流経路中の或る導電性微粒子に 1 個乃至数個の電荷が蓄積され、その蓄積された電荷が電流経路中の電子に対してクーロン相互作用を及ぼす。したがって、導電性微粒子 5 1 6 0 に蓄積された電荷の有無や多寡に応じて、第 1, 第 2 電極 5 1 1 0, 5 1 2 0 間の電気抵抗が変化する。

図 3 6 は、更に好ましい一実施形態の抵抗変化機能体（全体を符号 5 2 0 0 で示す。）の概略断面構造を示している。この抵抗変化機能体 5 2 0 0 は、図 3 5 の抵抗変化機能体 5 1 0 0 と同様に、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 との間に挟まれると共に、これらの第 3, 第 4 電極 5 2 3 0, 5 2 4 0 とは別に設けられた第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 との間に挟まれた絶縁体 5 2 5 0 を備えている。この例では、絶縁体 5 2 5 0 は層状に形成されている。

第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 とは絶縁体 5 2 5 0 の厚さ方向（図における上下方向）V 1, V 2 両側に設けられている。第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 とは上記厚さ方向 V 1, V 2 に対して垂直な絶縁体 5 2 5 0 の層方向（図における左右方向）両側に設けられている。

絶縁体 5 2 5 0 中には、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 との間に所定の電圧を印加した前後で、第 1 の電極 5 2 1 0 と第 2 の電極 5 2 2 0 との間の電気抵抗がサイズ効果に基づいて変化するよう配置された複数の導電性微粒子 5 2 6 0 が含まれている。この例では、先の例と同様に、絶縁体 5 2 5 0 の材料としてシリコン酸化膜を用いる一方、導電性微粒子としては粒径が  $1 \mu\text{m}$  未満の銀粒子を用いるものとする。

導電性微粒子 5 2 6 0 は、絶縁体 5 2 5 0 の層方向に関して一様に分布するとともに、絶縁体 5 2 5 0 の厚さ方向に関して或る範囲内に分布している。これにより、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 との間で、絶縁体 5 2 5 0 の厚さ方向に、電流が過度に流れ難くなったり、過度に流れ易くなったりすることが抑制

される。したがって、絶縁体5250の層方向両側に設けられた第1電極5210と第2電極5220との間の電気抵抗の変化が安定する。この結果、安定した特性が得られる。

また、図36中に示すように、絶縁膜5250に含まれる微粒子の粒径が少なくとも2種類以上あって、第1電極5210と第2電極5220との間を移動する電荷は比較的大きな微粒子を伝って移動できるが、第3電極5230と第4電極5240との間を移動しようとする電荷は比較的小さな微粒子を伝って移動しなければならない構造を有していることが好ましい。

具体的には、導電性微粒子5260を構成する銀元素の濃度は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚さ方向V1、V2に離れると低くなっているのが好ましい。その場合、第3電極5230と第4電極5240との間で、絶縁体5250の厚さ方向V1、V2に、電流が過度に流れ難くなったり、過度に流れ易くなったりすることがさらに抑制される。この結果、さらに安定した特性が得られる。

また、導電性微粒子5260の密度は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚さ方向V1、V2に離れると低くなっているのが好ましい。その場合も、第3電極5230と第4電極5240との間で、絶縁体5250の厚さ方向V1、V2に、電流が過度に流れ難くなったり、過度に流れ易くなったりすることがさらに抑制される。この結果、さらに安定した特性が得られる。

また、導電性微粒子5260粒径は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚さ方向V1、V2に離れると小さくなっているのが好ましい。その場合も、第3電極5230と第4電極5240との間で、絶縁体5250の厚さ方向V1、V2に、電流が過度に流れ難くなったり、過度に流れ易くなったりすることがさらに抑制される。この結果、さらに安定した特性が得られる。このように、導電性微粒子5260として複数の大きさの微粒子を用いれば、主に電気伝導を担う微粒子と、電荷を保持して電気抵抗を変化させることを担う微粒子とに役割を分担することが可能となり、優れた動作安定性を得ることができる。

この抵抗変化機能体 5200 は以下のようにして形成される。

5 5 先ず、図 37A に示すように、シリコン基板 5300 の表面に、熱酸化工程によって絶縁体としてシリコン酸化膜 5250 を形成する。この場合、形成されたシリコン酸化膜 5250 の膜厚は約 25 nm である。尚、シリコン基板 5300 は、上記抵抗変化機能体 5200 の第 4 電極 5240 として用いられる。

10 次に、図 37B に示すように、上記シリコン酸化膜 5250 中に、導電性微粒子を構成する元素として銀を負イオン注入法によって導入する。ここで、注入エネルギーは、余りに高すぎると注入される銀の分布が広がり過ぎてシリコン酸化膜 5250 の薄膜への注入としては相応しくなく、さらにシリコン酸化膜 5250 にダメージを与えて欠陥を生じてしまう。そのため、上記注入エネルギーは、100 keV 未満に設定するのが好ましく、50 keV 未満に設定するのがより好ましい。尚、15 keV で注入することによって、シリコン酸化膜 5250 の中程の深さまで注入することができる。

15 また、注入ドーズ量は、余りに多い場合には微粒子の粒径が大きくなり過ぎ、シリコン酸化膜 5250 のダメージも多くなる。一方、余り少ない場合には、微粒子密度が小さくなり過ぎてしまう。そのため、注入ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$  より多く且つ  $1 \times 10^{20} / \text{cm}^2$  より少なく設定するのが好ましく、 $1 \times 10^{13} / \text{cm}^2$  より多く且つ  $1 \times 10^{17} / \text{cm}^2$  より少なく設定するのがより好ましい。本実施の形態においては、注入エネルギーを約 15 keV とし、ドーズ量を約  $1 \times 10^{15} / \text{cm}^2$  に設定している。

20 また、上述のように、本実施の形態においては、イオン注入法として負イオン注入法を採用している。このように、負イオンを用いて注入を行った場合には、正イオンの場合のように、注入を受ける材料（この例ではシリコン酸化膜 5250）の表面電位が正イオンの加速電圧近くまで上昇することがなく、数ボルト程度の非常に低い値に収まる。すなわち、正イオン注入の場合には、正の電荷のイオンが材料表面に入射され、負の電荷の二次電子が放出されるために材料表面は正に帯電する一方である。したがって、最終的には正イオンの加速電圧まで上昇するのである。

これに対して、負イオン注入の場合には、負の電荷のイオンが材料表面に入射



され、負の電荷の二次電子が放出されるため材料表面には正の電荷が発生し、表面電位は±数ボルト程度に収まる。したがって、正イオン注入に比べて実効的な加速電圧の変動が少なくなり、そのために注入深さのばらつきを抑制することが可能になる。また、注入を受けるシリコン酸化膜5250やそれを支持するシリコン基板5300が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することも可能になる。

次に、図37Cに示すように、熱処理を行って、注入元素（本実施の形態においては「銀」）を凝集または拡散させる。一旦十分拡散させたり、前出の注入工程において、注入分布濃度の勾配を緩やかにすることによって、図35に示した例のように微粒子5160を均一な粒径で絶縁体5150の全域にわたって略均一に分布させることは可能である。しかし、図36に示した例のように、より好ましい状態を実現するためには、注入濃度分布があまり広がらないように適度に熱処理を行う。これによって、シリコン酸化膜5250中に銀微粒子5260をサイズ効果が顕著になる粒径またはクーロン力もしくはその両方が有効になるような密度で形成すると共に、シリコン酸化膜5250における或る深さCを中心としてその深さから厚さ方向V1、V2に或る範囲内に銀微粒子5260を分布させることができる。また、イオン注入時に発生した欠陥を修復することができる。

この熱処理の温度は、低過ぎると効果が無いが、余りに高温であると注入元素が拡散・溶融するために微粒子を形成することができない。したがって、熱処理の温度は、200℃より高く且つ注入元素の融点未満に設定するのが好ましい。また、熱処理の時間は、一定温度であっても長くすれば、その温度効果は増大するが、余りに長いと粒径が過度に大きくなる場合や注入元素が微粒子を形成すべき領域外まで拡散する場合が生ずる。そのために、熱処理時間は24時間よりも短く設定するのが好ましい。

例えば通常の熱処理炉を用いる場合は、アルゴンや窒素等の不活性雰囲気中で、熱処理の温度を300℃～1000℃の範囲内に設定するのが好ましい。但し微粒子の材料として銀を用いている場合は、高温で長時間の熱処理を行うと略均一になるまで拡散してしまうので、この例では、アサヒ理化製作所製のセラミクス

電気管状炉を用い、アルゴン雰囲気中で、約600℃の温度で約1時間の熱処理を行った。

尚、上記微粒子5260として、上記「銀」以外のより高融点の材料の例えば「金」等の導電性物質を用いた場合、「金」の場合には、図37に示すように約900℃の高温のアニールでもあまり拡散せず微粒子5260を形成することができる。ところが、例えば「銀」を用いて同様の微粒子を形成した場合には、900℃でアニールを実施すると略均一になるまで拡散してしまう。半導体産業において典型的なシリコンの酸化温度が900℃程度であるから、微粒子5260として高融点材料を用いることが、既存の半導体プロセスと整合性の点で有利である。

以上のようにして、上記シリコン酸化膜5250中に銀微粒子5260を適度に分散させて形成した後、図37Dに示すように、シリコン酸化膜5250の層方向（図における左右方向）両側に、エッチングによって、銀微粒子5260の分布を越える深さをもつ溝5251、5252を設ける。更に、蒸着等によって、溝5251、5252を導電性物質で埋め込むことにより第1電極5210および第2電極5220を形成する。

また、図37Eに示すように、シリコン酸化膜5250の表面上に、蒸着等によって、第3電極5230を形成する。

これにより、第3電極5230とシリコン基板5300（つまり第4電極5240）とがシリコン酸化膜5250を厚さ方向両側から挟み、第1電極5210と第2電極5220とがシリコン酸化膜5250を層方向両側から挟む状態になる。

この第1電極5210および第2電極5220および第3電極5230の材料は、金属または半導体、更には、導電性を有する限り有機物質であっても差し支えない。本実施の形態では金を用いた。また、これらの電極を形成する方法としては、CVD（化学気相成長）や蒸着やMBE（分子線エピタキシ）等を採用することができる。

さらに、水素シンタを実施することが好ましい。そうすることによって、界面準位等の微粒子5260以外の電荷トラップ要因を抑制することができ、動作特

性を安定化させて信頼性を向上させることができる。尚、600℃以上で水素シンタを行えば、上記欠陥回復のための熱処理と水素シンタとを同時に行うことが可能になり、工程の簡略化が可能となるためより好ましい。

5       このようにして作製した抵抗変化機能体5200の、微粒子5260を含んだ層状のシリコン酸化膜5250の断面をTEM (Transmission Electron  
Microscope; 透過型電子顕微鏡) によって観察した。その結果、図38に示すように、イオン注入された銀が凝集して、粒径が約3nm程度以下のナノメートルサイズの微粒子5260となっていることが分かった。また、シリコン酸化膜5250中で、設定した注入エネルギー(銀イオンの加速エネルギー)から予想される  
10       深さCを中心として、厚さ方向V1, V2に関して或る範囲内に既述のように微粒子5260を分布させることができた。すなわち、導電性微粒子5260を構成する銀元素の濃度は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚さ方向V1, V2に離れると低くなっていた。また、導電性微粒子5260の密度は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚  
15       さ方向V1, V2に離れると低くなっていた。さらに、導電性微粒子5260粒径は、絶縁体5250中の或る位置Cで最大であり、その位置Cから厚さ方向V1, V2に離れると小さくなっていた。

このようにイオン注入によれば、絶縁体5250中に導電性微粒子5260を一度の処理で短時間に高密度に形成できるとともに、絶縁体5250の厚さ方向  
20       V1, V2に導電性微粒子5260を好ましく分布させることができる。しかも、イオン注入によれば、導電性微粒子5260を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

また、本実施の形態においては、上記絶縁体5250中に導電性微粒子5260を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体5250やそれを支持するシリコン基板5300が帯電するのを抑制  
25       することができる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制することができる。また、上述のごとく帯電が抑制されるので、帯電によって絶縁体5250が破壊されて欠陥が生じることを防止できる。以上の結果、抵抗変化機能体5200の信頼性を向上させることができるのである。

図 3 9 は、上述の方法で作製した抵抗変化機能体 5 2 0 0 の常温（2 5℃）における電流対電圧（I-V）特性のグラフを示している。

この特性は、第 2 電極 5 2 2 0 を接地し、第 1 電極 5 2 1 0 に電圧を印加して、第 1 電極 5 2 1 0 に流れる電流を観測したものである。まず電圧を低い方から高い方へ連続的に変化させると、図 3 9 中に特性データ S 1 で示すように電流が増加した。続いて、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 間に約 5 V の電圧を印加した後、再び第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 の間に電圧を印加して同様に電流を観測すると、図 3 9 中に特性データ S 2 で示すように、電流が増加した。図 3 9 から分かるように、この電流対電圧（I-V）特性から、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 の間に電圧を印加した後、第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 の間に流れる電流は、測定した電圧範囲内ではどの電圧に対しても少なくなっている。すなわち、抵抗が増大している。この理由を、次に考察する。

図 3 9 の特性データ S 1 では、第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 の間に電圧を印加した場合、主に、シリコン酸化膜 5 2 5 0 の厚さ方向に関して分布中央 C 付近に存在する比較的大きな微粒子を層方向に伝って電荷が移動、すなわち電流が流れると推察される。中央 C 付近の比較的大きな微粒子から厚さ方向 V 1, V 2 に離れた領域には比較的小さな微粒子が散在している。この領域は微粒子の粒子が小さく、また隣り合う微粒子の間隔も中央 C 付近に比べ離れている確率が高い。したがって、小さな微粒子を伝達する電荷は少ないと考えられる。

次に、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 の間に電圧を印加した時の様子を考察する。この時、電圧の印加方向を考慮すれば、ある一定電圧以上を加えれば、中央 C 付近の比較的大きな微粒子から厚さ方向 V 1, V 2 に離れた領域に存在する比較的小さな微粒子にも、周りの酸化膜をトンネルして電荷が注入されることが容易に推察される。一旦、これら小さな微粒子に電荷が注入されれば、第 3 電極 5 2 3 0 と第 4 電極 5 2 4 0 の間の電圧印加をやめても、周囲を絶縁体で囲まれているので、それらの小さな微粒子に電荷が保持されていると考えられる。

この状態で、再び第 1 電極 5 2 1 0 と第 2 電極 5 2 2 0 の間に電圧を印加した場合を考察する。この時、中央 C 付近の比較的大きな微粒子から厚さ方向 V 1, V 2 に離れた領域に存在する小さな微粒子には電荷が保持されている。当然、そ

これらの電荷は、中央C付近の大きな微粒子を伝達して第1電極5210と第2電極5220の間を移動しようとする電荷に対し、クーロン相互作用を及ぼし、電荷の移動を阻害することが予想される。すなわち、第1電極5210と第2電極5220の間を流れる電流は抑制され、特性データS1の状態に比べ電流は減少すると考えられる。つまり、第1電極と第2電極の間の電気抵抗を増大させると考えられる。

また、電気抵抗変化の原因は、微粒子が電流の影響により拡散消滅、または凝集大型化した結果、クーロンエネルギーが変動したためとも考えられる。その他、ジュール熱による熱エネルギーにより、微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

この抵抗変化機能体5200は、抵抗変化を利用して、電流の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。また、本発明の抵抗変化機能体は、部分的に電荷の捕獲をするため局所電荷保持機能体と言い換えることもできる。

なお、本抵抗変化機能体5200の第1、第2電極5210、5220間や第3、第4電極5230、5240間に過剰な電圧を印加した場合、電流値が著しく増大した。これは絶縁体中に含まれる微粒子が変化したため、あるいは微粒子間の絶縁体が絶縁破壊をおこしたためと思われる。ただし、微粒子間の絶縁体はトンネル障壁であるので絶縁破壊をおこしにくいことから、ジュール熱により微粒子が拡散または凝集したか、電流によるマイグレーションため微粒子の状態が変化した可能性が高いと思われる。

また、通常の絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧を必要とする。これに対して、抵抗変化機能体を利用する本メモリでは、微粒子間の実質的な絶縁膜厚は薄く、また微粒子間にはトンネル可能な絶縁膜厚が大部分であるから、従来のヒューズメモリに比べて低電圧で書き込み動作が可能になる。したがって、本メモリは、低電圧で使用できるヒューズメモリとして用いることも可能である。

なお、サイズ効果の一種のクーロンブロック効果を利用して小さな微粒子に効率的に電荷を保持させる場合、クーロンブロック効果が顕著になるには、

微粒子の容量を考えた場合、電荷を離脱させるために必要なエネルギーが周囲温度による熱エネルギーと比較して十分大きくなければならない。そのためには微粒子を完全導体球と仮定したとき微粒子の半径は0.5 nm～1 nm程度必要であろうと推定される。なお、微粒子の粒径が小さくなるにつれてクーロンブロッケード効果自体は顕著になるが、微粒子の粒径が小さすぎると電荷の注入も難しくなり、高電圧や動作速度の低下が起こるので、デバイス応用の観点からは好ましくない。

また、シリコン酸化膜中に導電性微粒子を形成するために負イオン注入を行っているので、作製後のシリコン酸化膜は単一熱酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVDなどに比して、処理時間が短くなり、生産性に優れる。

また、負イオン注入によれば、既述のように帯電による微粒子のばらつきを抑えられるので、シリコン酸化膜5250の厚さ方向V1、V2に関して微粒子5260の分布がばらつくのを抑制できる。したがって、抵抗変化機能体5200を薄膜化することができ、微細化が可能になる。そのように抵抗変化機能体を薄膜化した場合、第3、第4の電極5230、5240間に同じ電圧を加えても抵抗変化機能体に印加される実効電場が強くなる。したがって、抵抗変化機能体を動作させるための電圧を低電圧化することが可能となり、生産性および低消費電力性に優れる。

図36に模式的に示したように、シリコン酸化膜5250中の微粒子5260を構成する銀元素の濃度は一様ではなく、シリコン酸化膜5250の厚さ方向V1、V2に、微粒子5260を構成する銀元素の濃度が高い領域に連なって銀元素の濃度が低い領域がそれぞれ存在する。同様に、シリコン酸化膜5250中の微粒子5260の密度は一様ではなく、シリコン酸化膜5250の厚さ方向V1、V2に、微粒子5260の密度が高い領域に連なって微粒子5260の密度が低い領域が存在する。同様に、シリコン酸化膜5250中の微粒子5260のサイズは一様ではなく、シリコン酸化膜5250の厚さ方向V1、V2に、微粒子5260のサイズが大きい領域に連なって微粒子5260のサイズが小さい領域が存在する。これらの場合、シリコン酸化膜5250の厚さ方向V1、V2、つま

り第3の電極5230と第4の電極5240とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、抵抗変化機能体の特性が安定する。

また、負イオン注入の際に斜め注入を行えば、シリコン酸化膜5250の厚さ方向に関して微粒子5260の分布の広がりを抑制することができる。したがって、抵抗変化機能体を薄膜化することができ、微細化に適する。

図40は、本発明の一実施形態の抵抗変化機能体を示す概略断面図である。この抵抗変化機能体6100は、第1の電極6111と、第2の電極6112と、この第1の電極6111と第2の電極6112との間に挟まれた媒体としての絶縁体6101を備える。上記絶縁体6101中には、ナノメートルサイズを有すると共に絶縁体6104によって表面が覆われた導電性微粒子6103を1つ以上含んでいる。

上記抵抗変化機能体6100は、図41A乃至図41Dの工程図に示すようにして作製されている。

本実施形態では、半導体産業で用いられている既存の装置を用いて作製できるように、上記絶縁体6101の材料には、第1の材料としての酸化シリコンを用い、上記微粒子6103の材料には、第3の材料としての銀を用い、上記絶縁体6104の材料には、第2の材料としての酸化銀を用いる。

まず、図41Aに示すように、シリコン基板6300の表面に、シリコン酸化膜6101を熱酸化工程によって形成する。この例では、上記シリコン酸化膜6101の膜厚を約35nmに形成する。なお、上記シリコン基板の上記シリコン酸化膜6101以外の部分は、第2の電極として用いられる。

次に、図41Bに示すように、シリコン酸化膜6101中に、負イオン注入法によって銀6303を導入する。

ここで、注入エネルギーが過大であると、上記注入された銀6303のシリコン酸化膜6101における分布範囲が広くなり過ぎて、抵抗変化機能に対して不適切であり、また、上記シリコン酸化膜6101へのダメージが過大になって欠陥を生じてしまう。したがって、注入エネルギーは、100keV未満であるのが好ましく、特に、50keV未満に設定するのが、より好ましい。

また、上記銀のドーズ量（単位面積当りの注入量）は、過大であると、導電性微粒子の粒径が過大になり、また、上記シリコン酸化膜6101へのダメージが多くなる一方、過小であると、導電性微粒子の分布密度が過小になる。したがって、上記銀のドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ より多く、かつ、 $1 \times 10^{20} / \text{cm}^2$ より少なく設定するのが好ましく、例えば、 $1 \times 10^{14} / \text{cm}^2$ より多く、かつ、 $1 \times 10^{17} / \text{cm}^2$ より少なく設定するのが好ましい。

本実施形態では、注入エネルギーは約15keV、ドーズ量は約 $1 \times 10^{15} / \text{cm}^2$ に設定した。言うまでもなく、注入するイオン種によって、選択すべき注入エネルギーおよび注入量は異なる。

また、本実施形態では、イオン注入法として負イオン注入法を採用している。こ負イオンを用いた注入法によれば、正イオンを用いた場合のように、注入を受ける材料（本実施形態ではシリコン酸化膜6101）の表面電位が正イオンの加速電圧近くまで上昇することが無くて、上記シリコン酸化膜6101の表面電位を、数ボルト程度の非常に低い値に留めることができる。より詳しくは、正イオン注入法を用いた場合、正の電荷のイオンが上記シリコン酸化膜6101表面に入射した際、負の電荷の二次電子が放出される。したがって、上記シリコン酸化膜6101の表面は、上記正イオンの注入を続けるに伴って正に帯電する一方であり、最終的に、表面電位が上記正イオンの加速電圧にまで上昇する。これに対して、負イオン注入法では、負の電荷のイオンが上記シリコン酸化膜6101表面に入射した際、負の電荷の二次電子が放出される。したがって、上記シリコン酸化膜6101の表面電位は、±数ボルト程度に収まる。その結果、正イオン注入に比べて、実効的な加速電圧の変動が少なくなるため、銀の注入深さのばらつきを抑制することが可能となる。また、注入を受けるシリコン酸化膜6101や、この下方の上記シリコン基板6300が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。本実施形態では、負イオン注入装置として日新電機株式会社製のものを用いた。

次に、上記シリコン酸化膜6101に熱処理を行って、このシリコン酸化膜6101に注入された銀を、凝集または拡散させる。これによって、図41Cに示すように、シリコン酸化膜6101中に、導電性微粒子としての銀微粒子610



2を形成する。また、上記熱処理によって、上記イオン注入時にシリコン酸化膜6101に発生した欠陥が、修復される。

上記熱処理の温度は、低過ぎると効果がないが、高過ぎると注入元素（銀）が拡散、熔融するので、微粒子を形成できない。したがって、熱処理の温度は、200℃より高く、かつ、注入元素（銀）の融点未満に設定するのが好ましい。また、上記熱処理は、比較的低い温度であっても、長時間施すことによって上記温度での効果が増大するが、あまりに長時間であると、微粒子の粒径が過大になる場合や、注入元素が、微粒子を形成すべき領域の外の領域まで拡散する場合がある。このため、上記熱処理を施す時間は、24時間より短く設定するのが好ましい。

一般的に、熱処理は、アルゴン等の不活性雰囲気中で行なうが、本実施形態の熱処理は、上記銀微粒子6102の表面を覆う絶縁体を形成する雰囲気中で行なう。すなわち、酸素を含む気相中で熱処理を行なって、上記シリコン酸化膜6101中に銀微粒子6102を形成するとともに、上記シリコン酸化膜6101中に酸素を拡散させる。これによって、上記銀微粒子6102の表面部分に、絶縁性物質であって第2の材料としての酸化銀6104を形成する。つまり、上記第2の材料としての酸化銀は、上記第3の材料としての銀を用いて形成された絶縁物質である。

なお、上記熱処理の温度、時間、気相の流量等の条件は、用いる材料や、形成すべき微粒子の粒径、および、その表面に形成する絶縁体の厚みによって異なる。

本実施形態では、シリコン熱酸化条件よりやや低い温度で数時間程度、酸化雰囲気中で熱処理を行なって、図41Dに示すような酸化銀6104で覆われた銀微粒子6103を形成する。

上記銀微粒子6103の周りには、第2の材料として、酸化物からなる絶縁膜を形成する他に、窒化物からなる絶縁膜を形成してもよい。例えば、導電性微粒子をシリコンで形成する場合、導電体としてのシリコンを注入した後、例えばアンモニア雰囲気中で熱処理を実行する。これによって、シリコン微粒子を形成すると共に、このシリコン微粒子の周りに、絶縁体としてのシリコン窒化物を形成する。

また、初めにアルゴンや窒素等の不活性雰囲気中で熱処理を行って、導電性微粒子がある程度形成されてから、この導電性微粒子が絶縁化される雰囲気中での熱処理に切り替えてもよい。この方法によれば、導電性微粒子の大きさを所望の大きさに調整してから、この導電性微粒子の絶縁化を行うことができるので、上記導電性微粒子の粒径を、正確に所望の大きさに形成することができる。例えば、通常

5 通常の熱処理炉であれば、アルゴンや窒素等の不活性雰囲気中において、凡そ300℃～900℃程度の処理温度が好ましい。例えば、アサヒ理化製作所製のセラミクス電気管状炉を用いて、アルゴン雰囲気中で約700℃の温度によって、約1時間熱処理を行う。この熱処理の条件は銀微粒子の場合であって、導電性微

10 粒子を形成する材料に応じて、最適な熱処理条件は異なる。

さらに、導電性微粒子を形成するための熱処理を比較的低温で行なう場合、媒体としての絶縁膜に、注入によって発生した欠陥を修復するために、500℃～1000℃程度の熱処理を行うことが好ましい。このとき、熱処理を長時間行くと、導電性微粒子が融解したり拡散したりする不都合が生じるので、RTA

(Rapid Thermal Annealing)、すなわち、短時間の熱処理を行うのが好ましい。

なお、導電性微粒子の表面に絶縁体を形成する方法としては、上述のような酸化性雰囲気による熱酸化や窒化性雰囲気による熱窒化処理の他に、酸素あるいは窒素などをイオン注入した後、アニール処理により酸化あるいは窒化などを行う方法がある。この方法によれば、熱処理炉における表面からの熱拡散による方法に比べて、所望の深さに酸素あるいは窒素を供給できる。したがって、例えば、導電性微粒子を含む第1の材料からなる媒体の表面付近について、酸化あるいは窒化等を避けたい場合に、特に有効である。

本実施形態の製造方法によって作製した導電性微粒子および絶縁体の様子を、断TEM（透過型電子顕微鏡）観察によって調べた。その結果、図41Dに示すように、銀イオンの加速エネルギーに応じた所定深さに、粒径がおよそ2nm～3nm程度のナノメートルサイズの銀微粒子6103と、その周りを覆う酸化銀6104とが形成されていることが確認できた。図41Eは、図41Dの一部を拡大したものである。

このように、本実施形態によれば、上記シリコン酸化膜6101中に銀微粒子

6102を形成する際、負イオン注入法を用いるので、上記シリコン酸化膜6101の帯電を抑制しつつ、このシリコン酸化膜6101中に、所望の深さに容易に銀を注入することができる。また、上記銀粒子6102を形成するためにイオン注入法を用いるので、従来におけるように導電性膜をエッチングするよりも工程が少なく、また、ナノスケールの微細加工技術を用いることがない。したがって、ナノメートルサイズの微粒子を、良好な生産性で形成できる。

上記シリコン酸化膜6101中に上記酸化銀6104で覆われた銀微粒子6103を形成した後、上記シリコン酸化膜6101上に、第1の電極6111を形成する。この第1の電極6111の材料は、金属または半導体のいずれでもよく、また、導電性を有する限り、有機物質であっても良い。上記第1の電極6111を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などを採用できる。本実施形態では、通常真空蒸着法によってA1膜を成膜して第1の電極6111を形成し、これによって、抵抗変化機能体が完成する。

本実施形態の抵抗変化機能体は、上記シリコン酸化膜6101中に、イオン注入および熱処理によって、銀微粒子6102を少ない工程で短時間に高密度に形成できる。上記イオン注入によれば、上記銀微粒子6102を形成するために微細加工技術を要しないので、良好な生産性で抵抗変化機能体が製造できる。

なお、本実施形態では、導電性微粒子として銀微粒子6102を用いたが、銀以外の金、銅などの金属や、シリコン、ゲルマニウムなどの半導体等の導伝体を用いて導電性微粒子を形成してもよい。ただし、金は酸化されにくいので、微粒子を形成した後、その周りに絶縁体を形成し難い。これに対して、例えばアルミニウムなどのように、酸化によって表面に強固な酸化被膜を形成する材料を用いることが好ましく、アルミニウムの他に、タングステン、ニオブ、ジルコニウム、チタン、クロム、スズ、コバルト、ニッケル、鉄、アンチモン、鉛などを用いて導電性微粒子を形成してもよい。

また、上記導電性微粒子としての銀微粒子6102は、シリコン基板に熱酸化を施して形成したシリコン酸化膜6101中に形成したが、ガラス基板などの他の絶縁体や、半導体基板等の中に形成してもよい。

また、上記シリコン酸化膜は、熱酸化膜に限らず、CVD法などによって成膜したシリコン酸化膜であってもよく、ポリシリコンやアモルファスシリコンを酸化したものであってもよい。ただし、単結晶シリコンを熱酸化してなるシリコン酸化膜のほうが、膜質がよく、好ましい。さらに、窒化シリコンなどの他のシリコン系絶縁物はもちろん、他の絶縁体を用いることも可能である。

また、本実施形態では、絶縁性物質からなる媒体中に、導電性微粒子の材料を負イオン注入法によって注入しているので、注入時に上記絶縁性媒体やそれを支持する基板が帯電するのを効果的に抑制できる。したがって、上記導電性微粒子の材料の注入深さを正確に制御できて、分布のばらつきを抑制できる。すなわち、導電性微粒子の形成深さおよび領域を、正確に制御できる。また、上記注入時の帯電が抑制されるので、帯電によって絶縁性媒体が破壊して欠陥が生じるのを抑制できる。これらの結果、抵抗変化機能体の信頼性を、効果的に向上することができる。

図42は、上述の方法で作製した抵抗変化機能体6100の常温（25℃）における電流対電圧（I-V）特性を示した図である。

この電流対電圧特性は、第2の電極6112を接地すると共に、第1の電極6111に印加する電圧を変化させた際、この第1の電極6111に流れる電流の変化を示したものである。まず、第1電極6111の印加電圧を-1V程度から連続的に上昇させると、矢印S1で示すように、電流の絶対値が減少する。これに続いて、0V程度から電圧を連続的に低下させると、矢印S2で示すように、電流値の絶対値が、矢印S1とは異なる経路を通して増加する。そして、印加電圧が-1Vに達したとき、上記矢印S2のように低下した電流の値は、印加電圧が-1Vから上昇を開始したときの当初の電流の値と比べて、絶対値が小さくなる。同一の印加電圧で電流の絶対値が小さくなったことは、抵抗が大きくなったことを意味する。このように、図42に示す電流対電圧（I-V）特性には、ヒステリシスが現れる。これは、上記微粒子6103が、この微粒子を覆う絶縁体6104によって、良好な障壁効果が与えられて互いに孤立していることにより、良好なクーロンブロッケードの条件が実現されているからだと言える。

また、ヒステリシスの発生原因は、複数の導電体微粒子のうちの極微小な微粒

子が、電流の影響によって拡散または消滅したり、あるいは、凝集して大型化した結果、クーロンエネルギーが変動したためとも考えられる。その他、ジュール熱による熱エネルギーにより、導電体微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

5       また、上記ヒステリシスが生じる他の原因としては、以下のことが考えられる。すなわち、シリコン酸化膜 6101 中の複数の銀微粒子 6103 のうち、所定の銀微粒子 6103 に 1 個乃至数個の電荷が蓄積され、この蓄積された電荷によって、この銀微粒子 6103 の近傍で電流経路を形成する他の銀微粒子 6103 の電子に対して、クーロン相互作用が及ぶ。その結果、上記電流経路における電流  
10       の流れ易さ、つまり電気抵抗が変化すると考えられる。これらのいずれかの効果、あるいは、複数の効果が組み合わさって、上記ヒステリシスが現れると考えられる。

      しかしながら、これら以外の要因によってヒステリシスが現れている可能性もある。いずれにせよ、要因の如何にかかわらず、本発明の抵抗機能体によれば、  
15       実用上十分に大きなヒステリシスが得られることは明らかである。

      なお、上記抵抗変化機能体 6100 の第 1、第 2 の電極 6111, 6112 間に過剰な電圧を印加した場合、電流値が著しく増大した。これは、上記シリコン酸化膜 6101 中に含まれる銀微粒子 6103 が変化したためであると考えられる。あるいは、銀微粒子 6103, 6103 間のシリコン酸化膜 6101 の部分、  
20       または、酸化銀 6104 のいずれか一方または両方が、絶縁破壊を起こしたためであると考えられる。ただし、上記銀微粒子 6103, 6103 間のシリコン酸化膜 6101 の部分または酸化銀 6104 は、トンネル障壁であるので絶縁破壊を起こし難い。したがって、ジュール熱によって、上記銀微粒子 6103 が拡散または凝集したか、あるいは、上記酸化銀 6104 が変化したか、あるいは、電  
25       流によるマイグレーションによって銀微粒子 6103 の状態が変化したか、のいずれかであるとも考えられる。

      この性質を利用すれば、適正な電圧で動作させる場合と、過剰な電圧を印加する場合とで、電流値の変化に大きな差が生じるため、1 つの素子で 2 つ以上のモードで動作させることも可能である。

本実施形態の抵抗変化機能体 6100 は、上記ヒステリシスの効果を利用して、電流値の大小を読み出すことで 2 値データを判別し、メモリとして使用することが可能である。つまり、上記銀微粒子 6103 および酸化銀 6104 を含むシリコン酸化膜 6101 は、メモリ効果を有するメモリ機能体 6113 として機能する。本発明の抵抗変化機能体は、電子の捕獲をする能力を有していると考えられるため、電荷保持機能体と言うこともできる。

従来、絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧が必要であった。これに対して、本実施形態の抵抗変化機能体 6100 は、ヒューズメモリとして用いた場合、実質的な絶縁膜厚に該当する上記銀微粒子 6103、6103 間のシリコン酸化膜 6101 および酸化銀 6104 の部分の厚みは比較的小さく、また、これらの絶縁膜はトンネル可能であるので、従来のヒューズメモリよりも低電圧で書き込み動作が可能になる。したがって、本抵抗変化機能体 6100 は、低電圧動作のヒューズメモリとして用いることも可能である。

本実施形態では、上記銀微粒子 6103 の粒径は、TEM 観察の範囲において略 3 nm 以下であった。なお、本実施形態と同様の製造方法によって、粒径が略 6 nm 以下、および、略 10 nm 以下の導電性微粒子を有する抵抗変化機能体を作製し、これらの抵抗変化機能体について、I-V 特性を測定する実験を行なった。その結果、導電性微粒子の粒径が大きくなるにつれて、I-V 特性のヒステリシスは小さくなり、室温よりも低温であっても、ヒステリシスが不明瞭になる傾向を有することが判明した。他の粒径の導電性微粒子についても実験を行なった結果、ヒステリシスを得るためには、導電性微粒子の粒径が 11 nm 以下、好ましくは 7 nm 以下、より好ましくは 4 nm 以下とする必要があることが明らかになった。

なお、本明細書において、「粒径」とは、微粒子の大きさをいい、上記微粒子の形状が略球形である場合や、球形に近似できる場合には、その「直径」に相当する。本発明において、上記微粒子は球形に近いほうが好ましいが、歪んだ形状の粒子や、不完全な導電体を用いる場合には、その容量と同等の容量を有する球形の導体の直径や、その表面積と同等の表面積を有する球体の直径や、その体積

と同等の体積を有する球体の直径、あるいは、微粒子において互いに最も離れた2つの点を結ぶ距離のいずれかを、粒径とみなすことが可能である。例えば、微粒子の形状が楕円球体に近似できる場合における「長半径」、あるいは、長半径×短半径×短半径の3平方根などを、粒径とみなすことが可能である。

5       なお、電荷の保持のためにクーロンブロッケード効果を用いる場合、クーロンブロッケード効果が顕著になるには、上記導電性微粒子の容量を考慮して、この導電性微粒子の電荷を離脱させるために必要なエネルギーが、周囲温度による熱エネルギーよりも十分大きい必要がある。そのためには、導電性微粒子完全導体球と仮定したときに上記導電性微粒子が有すべき半径は、0.5 nm～1 nm程度になる。なお、導電性微粒子の粒径が小さくなるにつれてクーロンブロッケード効果自体は顕著になるが、導電性微粒子の粒径が小さすぎると、第1、第2の電極間に高電圧が必要となるため、デバイス応用の観点からは、過小な粒径は好ましくない。

15       また、本実施形態の抵抗変化機能体6100は、シリコン酸化膜6101中に銀粒子6102を形成するために負イオン注入を行っているので、上記シリコン酸化膜6101は、注入前のシリコン酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVDなどで導電性微粒子を形成する場合に比べて、微粒子の形成の処理時間が短くなるので、良好な生産性を有する。

20       また、上記負イオン注入によれば、上述のように帯電による導電性微粒子の分布のばらつきを抑えることができるので、シリコン酸化膜6101の厚さ方向に関して微粒子6102の分布がばらつくのを抑制できる。したがって、上記銀粒子6103および酸化銀6104を含むシリコン酸化膜6101、すなわち、メモリ機能体6113を薄膜化することができ、微細化が可能になる。このようにメモリ機能体6113を薄膜化した場合、上記第1、第2の電極6111、6112間に印加する電圧が同じであっても、上記メモリ機能体6113に印加される実効電場は、メモリ機能体6113が厚い場合よりも強くなる。したがって、抵抗変化機能体6100でメモリを形成した場合、このメモリの動作電圧を低電圧化することが可能となり、生産性および低消費電力化を、いずれも向上することができる。

図43は、上記抵抗変化機能体と同様の構造を有すると共に、A1膜を蒸着しパターン化してなる第1の電極としての電極6411を備えたメモリ6150を示す図である。すなわち、上記シリコン酸化膜6101が第1の絶縁体であり、上記銀微粒子6103が導電体微粒子であり、上記酸化銀6104が第2の絶縁体である。上記電極6411には、図示しない電源および電流センサを接続する。

図44は、この電極6411を備えたメモリ6150の常温（25℃）における電流対電圧（I-V）特性を示す図である。このグラフを用いて、上記メモリ6150の記憶状態を判別する動作を説明する。

図44に示したメモリ6150の特性は、上記抵抗変化機能体に関する図42におけるのと同様に、シリコン基板6300を接地し、第1の電極6411に電圧を印加して、第1の電極6411に流れる電流を観測して得られたものである。まず、上記第1電極6411の印加電圧を $V_w$ から連続的に上昇させると、矢印S1で示すように、第1電極6411の電流値が当初の $i_j$ から増大する。これに続いて、上記印加電圧が $V_e$ に達した後、この第1電極6411の印加電圧を連続的に低下させると、矢印S2で示すように、矢印S1とは異なる経路を経て電流値が減少する。そして、上記印加電圧が $V_w$ にまで低下したとき、この印加電圧を上昇したときの当初の電流値 $i_j$ よりも絶対値が小さい電流値 $i_j$ となる。このように、同一電圧 $V_w$ で電流の大きさが小さくなったということは、抵抗が大きくなったと言える。このように、図44に示した電流対電圧（I-V）特性には、ヒステリシスが現れる。

ここで、例えば図44に示すように、書込電圧 $V_w$ 、消去電圧 $V_e$ を設定する。そして、メモリウィンドウ（ヒステリシスを生じる電圧値の幅）の中央の電圧値になるように、書込状態と消去状態とを判別するための読出電圧 $V_r$ を設定し、判別基準となる基準電流値 $I_j$ を設定する。上記読出電圧 $V_r$ を印加したときの電流の大きさを読み取り、その電流の読取值と基準電流値 $I_j$ との大小関係によって、このメモリ6150の記憶状態を判別することができる。例えば、上記電流の読取值が基準電流値 $I_j$ よりも大きければ消去状態（論理0）であり、上記電流の読取值が基準電流値 $I_j$ よりも小さければ書込状態（論理1）であると判別する。



このように、上記抵抗変化機能体を用いたメモリ 6150 は、2 値メモリとして用いることが可能である。

他の実施形態では、銀に換えてシリコンで導電性微粒子を形成することができる。すなわち、シリコン熱酸化膜中に、10 keV～15 keV の注入エネルギーの下で、 $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  のドーズ量でシリコンを注入した。そして、窒化雰囲気中で熱処理を行い、 $\text{SiO}_2$  中に、シリコン微粒子表面が  $\text{SiN}$  で覆われた  $\text{SiN} / \text{Si}$  微粒子が離散的に存在してなるメモリ機能体を作製した。上記熱処理は、アンモニア雰囲気中でおおよそ 900℃ で数時間施した。

10 本実施形態で作製したメモリ機能体は、従来の CVD およびエッチングで形成した微粒子を有するメモリ機能体に比べて、ヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、良好な電荷保持特性を有する。これは、上記  $\text{SiN} / \text{Si}$  微粒子を含む絶縁膜が、シリコン熱酸化膜であるため、従来の CVD 膜や多結晶シリコンの酸化膜よりも良質だからである。さらに、上記シリコン  
15 微粒子表面が  $\text{SiN}$  で覆われており、この  $\text{SiN}$  は、アニール処理によって厚みが略均一に形成された良質のものであることが影響している。

また、他の実施形態では、銀に換えてアルミニウムによって導電性微粒子を形成する。上記アルミニウムは、5 keV～15 keV の注入エネルギーの下で、 $1 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  のドーズ量で、シリコン熱酸化膜に注  
20 入する。して、600℃ 以下の温度で熱処理を行う。これによって、 $\text{SiO}_2$  中に、アルミニウム微粒子の表面がアルミナで覆われた  $\text{Al}_2\text{O}_3 / \text{Al}$  微粒子が離散存在してなるメモリ機能体を作製した。

本実施形態のメモリ機能体は、従来のメモリ機能体よりもヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、良好な電荷保持特性を有する。  
25 これは、導電性微粒子として、金属であるアルミニウムを用いたことで、優れた電荷蓄積能力が得られるからである。また、上記導電性微粒子を、良好な絶縁体であるアルミナで囲むことで、優れた電荷保持能力が得られるからである。上記アルミナは、いわゆる不動態であり、上記アルミニウム微粒子表面の酸化によって形成された後は、その後は酸化が殆ど進まない。したがって、上記アルミナは、

厚みが略均一に形成される。これによって、メモリ動作が安定し、信頼性の高いメモリ機能体の実現できる。

他の実施形態では、メモリ機能体に含まれる微粒子を、他の方法で形成する。すなわち、第1の絶縁体中に、導電性微粒子を形成する材料を加える方法として、イオン注入法に換えて拡散法を用いる。例えば、上記実施形態と同様にシリコン熱酸化膜中にアルミニウム微粒子を形成する場合、上記実施形態と同様にシリコン熱酸化膜を形成した後、このシリコン熱酸化膜上に、真空蒸着装置によってアルミニウム膜を製膜する。蒸着法に換えてスパッタ法を用いても良く、アルミニウム膜が形成できればどのような方法を用いても良い。

その後、凡そ400℃～600℃程度の温度で熱処理を行い、シリコン熱酸化膜中にアルミニウムを拡散させる。その後、拡散した温度より低温で熱処理を行った後、酸化を行って、第2の絶縁体としてのアルミナを形成する。

その後、上記実施形態と同様に、電極を形成してメモリ機能体を形成する。このメモリ機能体は、注入によってアルミニウム微粒子を形成した実施形態と同様に、優れたメモリ特性を有することが確認された。

本実施形態のメモリ機能体は、拡散法を用いるので、本発明のメモリ機能体をさらに簡単に作製できる。

なお、上記シリコン熱酸化膜上に形成したアルミニウム膜に換えて、Alを含むシリコン膜を用いた方が、上記シリコン熱酸化膜の表面付近のアルミニウム濃度が高濃度になることを防ぐことができるので、より好ましい。さらに、アルミニウムに代表されるような、酸化物が不動態を形成するような材料を用いれば、酸化によって良質の絶縁体を導電性微粒子の周りに形成することができるので、より好ましい。

本実施形態では、特別な微細加工技術を用いることなく、既存の半導体装置を用いて作製できる。また、近年提案されている単電子トランジスタのように、電子ビーム等の微細加工技術を用いて微粒子を1つのみ作製することも、当然可能である。

また、上記導電性微粒子を形成する際、水素シンター処理を行なうことは、不要な界面準位などを抑制することができ、安定動作の抵抗変化機能体およびメモ

リ機能体を得られるので、好ましい。

なお、上述の実施形態では、第1の絶縁体である上記絶縁体6101の材料として、シリコン酸化物を用いたが、シリコン窒化物、酸化アルミニウム、酸化チタン、酸化ジルコニウム、酸化ハフニウム等を用いることもできる。更には、本発明の一実施形態のように、微粒子表面を絶縁体で覆っている場合には、必ずしも絶縁性物質で形成する必要はない。

また、導電性微粒子を構成する材料として銀を用いたが、上記微粒子6103を構成する材料としては、銅、アルミニウム、錫、ニッケル、亜鉛、ハフニウム、ジルコニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入が容易であるので好ましい。また、上記微粒子表面を覆う絶縁体としては、上記微粒子を構成する物質の酸化物や窒化物などの化合物のうちで絶縁性の良いものなら何であっててもかまわない。

図45A～図45Eは、微粒子の形成方法を示す工程図である。この例では、絶縁体としてのシリコン酸化膜に、導電性微粒子としての銀微粒子を形成する。

まず、図45Aに示すように、半導体基板としてのシリコン基板7100の表面に、熱酸化工程によって、絶縁体としてのシリコン酸化膜7110を形成する。この例では、およそ50nmの膜厚に形成する。

次に、図45Bに示すように、上記シリコン酸化膜7110中に、導電性微粒子を形成するための物質としての銀を、イオン注入法により導入する。ここで、注入エネルギーはあまり高エネルギーであると、注入分布が広がり過ぎるので、比較的薄い上記シリコン酸化膜7110への注入に相応しくなく、また、上記シリコン酸化膜7110にダメージを与えて欠陥を生じてしまう。したがって、注入エネルギーは、100keV未満が好ましく、特に、50keV未満が好ましい。この例では、上記シリコン酸化膜7110の厚み方向の中央付近に微粒子を形成すべく、約30keVで注入を行った。

また、注入ドーズ量が多すぎると微粒子の粒径が大きくなりすぎ、また、

シリコン膜 7110 へのダメージも多くなる一方、少な過ぎると、微粒子密度が小さくなり過ぎてしまう。したがって、注入ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$  より多く  $1 \times 10^{20} / \text{cm}^2$  より少ないほうが良い。例えば、 $1 \times 10^{13} / \text{cm}^2$  より多く  $1 \times 10^{17} / \text{cm}^2$  より少ない注入ドーズ量が、より好ましい。この例では、およそ 30 keV のエネルギー、かつ、およそ  $1 \times 10^{15} / \text{cm}^2$  の注入量で、銀を導入した。

いうまでもなく、イオン種によって、選択すべき注入エネルギー及び注入量は異なる。

また、上記銀を注入するイオン注入法としては、負イオン注入法であるのが好ましい。負イオンを用いて注入を行なった場合、注入を受ける絶縁体（この例ではシリコン酸化膜 7110）の表面電位は、正イオンを用いた場合の正イオンの加速電圧近くまで上昇することが無く、数 V 程度の非常に低い値に抑えることができる。すなわち、正イオン注入法では、正の電荷のイオンが絶縁体の表面に入射した際、負の電荷の二次電子が放出されるので、上記絶縁体表面は正に帯電する一方であり、最終的に正イオンの加速電圧まで上昇する。一方、負イオン注入法の場合、負の電荷のイオンが入射して負の電荷の二次電子が放出し、表面電位は±数 V 程度に収まるのである。したがって、正イオン注入法と比べて、実効的な加速電圧の変動が少なくなるため、導電性微粒子を形成するための物質

（銀）の注入深さのばらつきを抑制することが可能となる。また、上記絶縁体は、殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。この例では、日新電機株式会社製の負イオン注入装置を用いた。

続いて、上記銀が注入されたシリコン酸化膜 7110 に、熱処理を加える。この熱処理によって、注入元素（銀）を凝集または拡散することにより、図 45C に示すように、所定の粒径の銀微粒子 7120 が形成される。また、イオン注入時に発生した上記シリコン酸化膜 7110 の欠陥を修復することも可能である。上記熱処理の温度は、あまりに低いと効果がなく、あまりに高温であると注入元素が拡散、熔融して微粒子が形成できない。したがって、上記熱処理の温度は、200℃より高く、注入元素（銀）の融点未満であることが好ましい。また、同一温度であっても、処理時間を長くすればその温度での効果は増大するが、あま

りに長時間であると、微粒子の粒径が過度に大きくなる場合や、あるいは、微粒子を形成すべき領域外まで注入元素が拡散する場合があるので、24時間より短いほうが好ましい。

通常、熱処理は、アルゴン等の不活性雰囲気中で実行するが、本発明では、導電性微粒子の表面部分が絶縁化される雰囲気中で実施する。この例では、酸素を含む気相中で熱処理を実施し、銀微粒子を形成するとともに、シリコン酸化膜7110中に酸素を拡散させて銀微粒子の表面に酸素を供給することによって、上記銀微粒子の表面部分を酸化して絶縁化を行なう。

上記熱処理における温度、時間、気相の流量等の条件は、用いる材料や所望の微粒子径およびその表面に形成する絶縁層の厚さによって異なる。

この例では、シリコン熱酸化条件よりもやや低い温度で、数時間程度、酸化雰囲気中で熱処理を実施する。これによって、図45Dに示すように上記銀微粒子7120の表面部分を絶縁化して、酸化銀7140を形成する。

上記熱処理において、酸化による他に、窒化によって絶縁化を行なうこともできる。例えば導電性微粒子を形成する金属としてシリコンを注入した後、例えばアンモニア雰囲気中で熱処理を実行することにより、微粒子の表面に絶縁体としてのシリコン窒化物を形成できる。

また、当初はアルゴンや窒素等の不活性雰囲気中で熱処理を行って、ある程度微粒子が形成されてから、この形成された微粒子が絶縁化される雰囲気中での熱処理に切り替えることもできる。この方法では、上記微粒子の大きさを任意の大きさに調整してから絶縁化を行うことができるので、より多様な大きさの微粒子を正確に形成することができる。例えば、通常の熱処理炉であれば、アルゴンや窒素等の不活性雰囲気中、おおよそ300℃～900℃程度で当初の熱処理を行なうのが好ましく、アサヒ理化製作所製のセラミクス電気管状炉を用いて、アルゴン雰囲気中で約1時間熱処理を行うことができる。もちろん、これは銀微粒子の場合であって、微粒子を形成する元素によって、最適な熱処理条件は異なる。

さらに、微粒子形成のための熱処理が比較的低温である場合、注入によって絶縁体に発生した欠陥を修復するために、500℃～1000℃程度の熱処理を行うことが好ましい。この時、長時間熱処理を行うと、微粒子が融解したり拡散し

たりするので、RTA (Rapid Thermal Annealing)、すなわち、短時間の熱処理を行うのが好ましい。

この微粒子形成方法によって形成した微粒子の様子を、断面TEM (透過型電子顕微鏡) 観察によって調べた。その結果、図45Dに示すように、イオン注入された銀が凝集して、粒径 (直径) がおよそ2 nm~3 nm程度のいわゆるナノメートルサイズの銀微粒子7130が形成された。そして、この銀微粒子7130を覆うように、酸化銀7140が形成された。上記銀微粒子7130は、銀イオンの加速エネルギーから予想される深さに、正確に分布して形成された。図45Eは、図45Dの一部を拡大したものである。

このように、負イオン注入法によれば、注入を受ける絶縁体の帯電効果を抑制できるので、上記絶縁体において、狙い通りの深さおよび濃度の注入を行ない易いという利点を有する。また、注入によって、微粒子を形成するための物質を絶縁体に導入するので、上記絶縁体中の適切位置に散在するナノメートルサイズの微粒子を、一度の工程で形成できる。したがって、従来におけるように、薄膜形成工程とこの薄膜の微細加工工程とを、何度も繰り返す必要が無い。また、ナノスケールの微細加工技術を用いる必要がないので、生産性が良い。

なお、この例では、微粒子として銀を用いたが、その他の金、銅などの金属や、シリコン、ゲルマニウムなどの半導体等の導伝体を用いることができる。ただし、金は酸化され難いので、微粒子の表面部分の絶縁化が多少困難である。一方、例えばアルミニウムなどのような、酸化によってその表面に強固な酸化被膜を形成する物質は、微粒子を覆う絶縁体が安定して形成される点で好ましく、アルミニウムの他に、タングステン、ニオブ、ジルコニウム、チタン、クロム、スズ、コバルト、ニッケル、鉄、アンチモン、鉛などが好ましい。

また、微粒子を形成する絶縁体として、シリコン基板上の熱酸化膜の例をあげたが、ガラス基板など、その他の絶縁体、あるいは半導体の基板等をも用いることができる。

図46A~図46Dは、微粒子の別の形成方法を示す工程図である。この微粒子の形成方法では、図45に示した微粒子の形成方法に加えて、微粒子形成工程と絶縁化工程との間に、エッチング工程を設け、上記微粒子が形成された絶縁体

の表面から所定深さまでの領域を除去する。

この例では、図45の例と同様に、導電性微粒子として銀微粒子を形成する。

まず、図46Aに示すように、半導体基板としてのシリコン基板7200の表面に、熱酸化工程によって、絶縁体としてのシリコン酸化膜7210を形成する。この例では、およそ100nmの膜厚に形成する。

次に、図46Bのように、上記シリコン酸化膜7210中に、銀をイオン注入法によって導入する。ここで、注入エネルギーは注入深さが50nm程度になるように設定する。

通常、上記イオン注入では注入分布が生じて、注入物質の濃度が、所定の深さを最大濃度として、深さ方向にガウス分布に類似した濃度分布となる。この例では、表面からおよそ50nmの深さにおいて、注入された銀が最大濃度となる。したがって、図45の例と同様に導電性微粒子を形成すると、この導電性微粒子は、上記イオン濃度に依存した粒径の分布を形成する。すなわち、注入濃度が最大の深さに、粒径が比較的大きい微粒子が形成され、この粒径が比較的大きい微粒子が形成される位置の上下位置に、粒径が比較的小さい微粒子が形成される。

ここで、この例では、エッチングによって、上記絶縁体（シリコン酸化膜7210）表面から所定の深さまで除去する。これによって、図46Cに示すように、粒径が比較的大きい微粒子が絶縁体表面付近に位置すると共に、上記絶縁体表面付近から基板側に向って、微粒子の粒径が小さくなるようにする。上記絶縁体を除去するエッチングは、ウエットエッチングとドライエッチングのいずれも用いることができる。この例では、上記絶縁体は酸化シリコンであるので、濃度が0.5%の沸酸溶液を用いてウエットエッチングを行なった。

上記エッチング工程で除去する絶縁体の厚みは、この絶縁体への微粒子を形成するための物質の注入深さと、同程度またはそれ以上とする。この例では、表面から約50nmの深さまでエッチングを行った。

その後、図45の例と同様に、例えば熱酸化によって、上記導電性微粒子の表面部分の絶縁化を行なう。これによって、図46Dに示すように、銀微粒子7230の表面に酸化銀を形成する。この絶縁化の工程では、国際電気株式会社製のロードロック式酸化炉を用いた。上記銀微粒子は、シリコン酸化膜7210の表

面に近いものほど酸化される度合いが大きい、上記銀微粒子は、表面に近いものほど粒径が大きい。したがって、絶縁化後の銀微粒子 7 2 3 0 の粒径は、深さ方向において、絶縁化前の銀微粒子 7 2 2 0 の粒径よりもばらつきが比較的少なくなる。

5        図 4 7 A～図 4 7 D は、微粒子のさらに別の形成方法を示す工程図である。この例では、イオン注入工程と熱処理工程との間にエッチング工程を備え、導電性微粒子を形成するための物質が注入された絶縁体について、表面から所定深さまでの領域を除去する。

10        この例では、絶縁体としてのシリコン酸化膜に、導電性微粒子としての銀微粒子を形成する。

      まず、半導体基板としてのシリコン基板 7 3 0 0 の表面に、熱酸化工程によって、絶縁体としてのシリコン酸化膜 7 3 1 0 を形成する。この例では、およそ 1 0 0 n m の膜厚に形成する。

15        次に、図 4 7 A に示すように、上記シリコン酸化膜 7 3 1 0 中に、銀をイオン注入法によって導入する。ここで、注入エネルギーは、注入深さが 5 0 n m 程度になるように設定する。

      ここで、上記銀の注入濃度は、上記シリコン酸化膜 7 3 1 0 表面からおよそ 5 0 n m の深さの領域を最大濃度として、深さ方向に、ガウス分布に類似した濃度分布が形成される。

20        続いて、図 4 7 B に示すように、上記銀の注入濃度が高い部分が表面付近になるように、上記シリコン酸化膜 7 3 1 0 の表面部分をエッチングで除去する。すなわち、上記シリコン酸化膜 7 2 1 0 を、上記注入深さと同程度かもしくはそれ以上の深さに亘って、エッチング除去する。この例では、表面から約 5 0 n m の深さまでエッチングを行った。エッチングの方法は、図 4 6 の例と同様、ウェットエッチングでもドライエッチングでもよい。この例では、濃度が 0. 5 % の沸

25        酸溶液を用いてウェットエッチングを行なった。

      その後、図 4 6 の例と同様に、上記シリコン酸化膜 7 3 1 0 の熱処理、および、銀微粒子の絶縁化を行なう。

      まず、上記シリコン酸化膜 7 3 1 0 の熱処理を行うことにより、図 4 7 C に示



すように、銀微粒子 7320 が、その粒径がシリコン酸化膜 7310 の表面付近から基板 7300 側向って小さくなるように分布して形成される。

そして、上記銀微粒子の表面部分について、熱酸化によって絶縁化を行った。この例では、国際電気株式会社製のロードロック式酸化炉を用いた。その結果、  
5 図 47D のように、銀微粒子 7330 の表面に銀酸化膜が形成されて、上記シリコン酸化膜 7310 の表面付近の微粒子は比較的厚い銀酸化膜が形成される一方、シリコン基板 7300 側、すなわち、シリコン酸化膜 7310 表面から遠い位置の銀微粒子 7330 は、比較的薄い銀酸化膜が形成された。これによって、絶縁化後の上記銀微粒子 7330 は、上記シリコン酸化膜 7310 の厚み方向において、  
10 粒径が略同じになった。その結果、形成当初の銀微粒子 7320 の中心部分であって、絶縁化されずに残った銀微粒子 7330 の粒径は、上記形成当初の銀微粒子 7320 に比べて、ばらつきが比較的少ない粒径分布となった。

なお、図 45 乃至図 47 の例では、注入工程、熱処理工程、絶縁化工程を別々に行ったが、イオン注入直後であっても、注入条件によっては、熱処理工程を施  
15 すことなく微粒子を形成することができる。また、上記絶縁化工程は、例えば熱酸化のように熱を伴う工程であるので、実質的に熱処理工程を兼ねることも可能である。

しかしながら、所望の微粒子を得るための条件が厳しくなったり、工程が不安定になったりするので、夫々別工程とするほうが、大量生産を行なう上では好ま  
20 しい。

図 48A～図 48D は、微粒子のさらに別の形成方法を示す工程図である。この例では、半導体基板に、導電性微粒子を形成するための物質を注入し、その後、上記半導体基板の酸化工程を行なう。この半導体基板の酸化工程は、上記物質の注入濃度が高い領域付近まで酸化するように行う。この半導体基板の酸化工程に続いて、例えば希弗酸によってエッチングを行い、上記酸化領域を除去する。  
25 この時点で、上記物質の注入濃度が高い部分が表面に現れる。そして、上記注入濃度が高い部分が表面に現れた半導体基板を熱処理して、上記注入した物質の金属を拡散または凝集させて、この時点で、所望の微粒子を形成する。続いて、再び酸化を行い、上記半導体基板の表面部分を酸化すると共に、導電性微粒子の表

面部分を酸化して、絶縁化を行なう。

図 4 8 A乃至Dは、上述の例と同様に、シリコン酸化膜中に銀微粒子を形成する方法を説明する図である。

この例では、図 4 5乃至図 4 7の例と異なり、シリコン基板中に、シリコン酸化膜が無い状態で、あるいは、薄いパッド膜越しに、銀イオン注入を行う。すなわち、図 4 8 Aに示すように、シリコン基板 7 4 0 0 中に銀をイオン注入法により導入する。ここで、注入エネルギーは、上記銀イオンの注入深さが 5 0 n m程度になるように設定した。

ここにおいても、上述の例と同様に、上記銀イオンの注入濃度は、深さ方向において、シリコン基板 7 4 0 0 の表面からおおよそ 5 0 n mの深さの位置が最大濃度となるガウス分布に類似した濃度分布となる。

その後、酸化工程を実行する。すなわち、図 4 8 Bに示すように、上記シリコン基板 7 4 0 0 を酸化してシリコン酸化膜 7 4 1 0 を形成する。このシリコン酸化膜 7 4 1 0 とシリコン基板 7 4 0 0 との界面付近に、銀の注入濃度が高い部分が位置するように上記酸化を行なう。すなわち、上記シリコン基板 7 4 0 0 の酸化深さは、おおよそ銀の注入深さと同程度またはそれ以上とする。この例では、酸化前のシリコン基板表面から約 5 0 n mの深さまで酸化を行った。この酸化を行った時の熱によって、銀微粒子 7 4 2 0 が形成される。

次に、上記シリコン酸化膜 7 4 1 0 を除去する。この例では、希弗酸によって上記シリコン酸化膜 7 4 1 0 を除去する。その結果、図 4 8 Cのように、シリコン基板 7 4 0 0 の表面付近の銀微粒子 7 4 2 0 の粒径が最も大きく、このシリコン基板 7 4 0 0 の表面から深さ方向に向って、粒径が小さくなるように分布する銀微粒子 7 4 2 0 が形成される。

その後、再び、上記シリコン基板 7 4 0 0 について、酸化を行なう。この酸化は、熱酸化法によって行ない、これによって、上記シリコン基板 7 4 0 0 の表面に、膜厚が約 5 0 n m程度のシリコン酸化膜 7 4 4 0 を形成した。その結果、図 4 8 Dに示すように、銀微粒子 7 4 2 0 の表面部分もまた酸化されて、表面が酸化銀で覆われた銀微粒子 7 4 3 0 が形成された。この表面に酸化銀で覆われた銀微粒子 7 4 3 0 の粒径について、図 4 7 の例と同様に、酸化銀が形成される前の

銀微粒子 7 4 2 0 の粒径よりも、ばらつきが比較的少ない分布となった。

図 4 9 A ~ 図 4 9 D は、微粒子のさらに別の形成方法を示す工程図である。概して言うと、この例では、導電性微粒子を形成するための物質の注入の前に、この物質の注入を行なう半導体基板上に、パッド酸化膜を形成しておく。

- 5       次に、上記パッド酸化膜越しに、上記物質を注入する。この時、上記パッド酸化膜と半導体基板との界面が、上記物質の注入濃度が高い部分になるように、予め上記パッド酸化膜の厚さと注入条件とを設定しておく。

上記物質の注入後、熱処理を施して、導電性微粒子を形成する。その後、例えば希弗酸によって、上記パッド酸化膜のエッチングを行う。

- 10       次に、再び酸化を行い、上記半導体基板の表面部分を酸化すると共に、上記導電体粒子の表面部分をも酸化して、絶縁化を行なう。上記導電性微粒子は、上記半導体基板の表面付近にあるもの程酸化の程度が大きいので、上記半導体基板の表面付近の微粒子は径が比較的大きいので、絶縁化後の導電性微粒子の径は、上記半導体基板の深さ方向において、ばらつきが比較的小くなる。

- 15       その微粒子形成方法の具体例を、図 4 9 A 乃至図 4 9 D を用いて説明する。

まず、半導体基板としてのシリコン基板 7 5 0 0 の表面に、熱酸化工程によって、パッド酸化膜としてシリコン酸化膜 7 5 1 0 を形成する。このシリコン酸化膜 7 5 1 0 は、約 2 5 n m の厚みに形成する。

- 20       次に、図 4 9 A に示すように、上記シリコン酸化膜 7 5 1 0 およびシリコン基板 7 5 0 0 中に、銀をイオン注入法によって導入する。ここで、注入エネルギーは、上記銀の注入深さが、シリコン酸化膜 7 5 1 0 とシリコン基板 7 5 0 0 との界面付近になるように設定する。この例では、注入深さが約 5 0 n m 程度になるように注入を行なった。

- 25       この例においても、上記銀の注入濃度は、シリコン酸化膜 7 5 1 0 の表面から約 5 0 n m の深さを最大濃度として、深さ方向にガウス分布に類似した濃度分布となる。

次に、熱処理工程を行って、銀微粒子 7 5 2 0 を形成する。上記シリコン酸化膜 7 5 1 0 とシリコン基板 7 5 0 0 では、母材の違いから、上記銀微粒子 7 5 2 0 の形成状態は異なるが、図 4 9 B のように、それぞれの母材中ではイオン濃度

に依存した粒径分布をなす。

ここで、酸化膜エッチングによって、パッド酸化膜としてのシリコン酸化膜 7510 を除去する。このシリコン酸化膜 7510 を除去した結果、図 49C に示すように、シリコン基板 7500 表面付近から深さ方向に向って粒径が小さくなるように分布する銀微粒子 7520 が得られる。上記エッチングは、ウェットエッチングとドライエッチングのいずれも用いることができる。この例では、濃度が 0.5% の沸酸溶液によるウェットエッチングを行なった。

その後、図 48 の例と同様に、熱酸化工程によって、シリコン基板 7500 の酸化、および、微粒子の絶縁化を行なう。この工程では、国際電気株式会社製のロードロック式酸化炉を用いた。この熱酸化工程によって、絶縁体 7540 の表面に近い銀微粒子 7530 ほど酸化銀が厚く形成されたが、上記絶縁体 7540 表面に近い微粒子は、絶縁化前の粒径が上記表面に近いほど大きいので、上記絶縁化後において、銀微粒子 7530 の粒径は、絶縁化前よりも粒径のばらつきが少なくなった。

また、上記熱酸化工程によって、上記シリコン基板 7500 の表面に、約 30 nm の厚みの酸化膜 7540 が形成された。

図 50A～図 50D は、微粒子のさらに別の形成方法を示す工程図である。概して言うと、この例では、図 49 の例に対して、パッド酸化膜をエッチングする工程と熱処理工程との順序が違ふ。

すなわち、この例では、パッド酸化膜を介して、微粒子を形成するための物質の注入を行ったのち、上記パッド酸化膜を除去し、その後、熱処理を実施して導電性微粒子を形成する。この後、酸化工程を実施して、半導体基板を酸化すると共に、導電性微粒子の表面部分を酸化して絶縁化を行なう。

図 50A 乃至図 50D は、上記導電性微粒子として銀微粒子を形成する方法を具体的に示している。

まず、半導体基板としてのシリコン基板 7600 の表面に、熱酸化によってパッド酸化膜としてのシリコン酸化膜 7610 を形成する。この例では、約 25 nm の厚みに形成した。

次に、図 50A に示すように、上記シリコン酸化膜 7610 およびシリコン基

板 7 6 0 0 中に、イオン注入法によって銀を導入する。ここで、注入エネルギーは、最大の注入深さがシリコン酸化膜 7 6 1 0 とシリコン基板 7 6 0 0 との界面付近になるように設定する。この例では、約 5 0 n m 程度の注入深さになるように設定した。

この例では、上記銀の注入濃度は、シリコン酸化膜 7 6 1 0 表面から約 5 0 n m の深さが最大濃度となるガウス分布に類似した分布となる。

次に、図 5 0 B に示すように、酸化膜エッチングによって、シリコン酸化膜 7 6 1 0 を除去し、上記銀の注入濃度が高い部分が表面付近になるように加工する。上記エッチングは、ウェットエッチングとドライエッチングのいずれも用いることができる。この例では、除去すべきパッド膜が酸化シリコンであるので、濃度が 0 . 5 % の沸酸溶液を用いたウェットエッチングを行なった。

なお、条件に応じて、銀イオンを注入した時点で銀微粒子が形成される場合がある。

その後、熱処理および酸化工程を行なう。

まず、熱処理を行って、図 5 0 C に示すように、シリコン基板 7 6 0 0 の表面付近から深さ方向に向って粒径が小さくなるように分布した微粒子 7 6 2 0 を形成する。

そして、熱酸化によって、絶縁化工程を行う。この例では、国際電気株式会社製のロードロック式酸化炉を用いた。その結果、図 5 0 D に示すように、シリコン基板 7 6 0 0 上に、厚みが約 3 0 n m のシリコン酸化膜 7 6 4 0 が形成される。また、このシリコン酸化膜 7 6 4 0 の表面近傍の銀微粒子 7 6 3 0 は、比較的厚い酸化銀が表面に形成され、上記シリコン酸化膜 7 6 4 0 の深さ方向に向うにつれて、銀微粒子 7 6 3 0 の表面に形成される酸化銀は厚みが薄く形成された。その結果、上記絶縁化後の銀微粒子 7 6 3 0 は、絶縁前の銀微粒子 7 6 2 0 と比べて、上記シリコン酸化膜 7 6 4 0 の深さ方向において、粒径のばらつきが比較的少なく形成された。

図 4 5 乃至図 5 0 の例では、導電性微粒子の材料として銀を用いたが、銀以外の例えば金、銅、アルミニウム、錫、ニッケル、白金、亜鉛、ハフニウム、マンガ、タンタル、チタン、タングステン、インジウムなど他の金属を用いること

もできる。

特に、アルミニウムなどのように表面に緻密な酸化被膜を形成する物質は、微粒子を欠陥の少ない絶縁体で囲むことができるため、このアルミニウム微粒子に電荷が保持された場合、効果的に電荷のリーク現象を抑制することができる。したがって、電荷の保持特性の優れたメモリ機能体が形成できる。

また、上記導電性微粒子には、シリコン、ゲルマニウム等の半導体を用いることも可能であり、半導体以外の合金や化合物を用いることも可能である。

特に、上記導電性微粒子としてシリコンを用い、このシリコン微粒子を、酸化または窒化によって絶縁化して、上記シリコン微粒子の表面にシリコン酸化膜またはシリコン窒化膜を形成した場合、上記シリコン微粒子に保持された電荷に対して、有効な障壁として機能することができる。すなわち、電荷のリークが殆ど無くて、良好な保持特性を有するメモリ機能体を形成することができる。

上述の例において、導電性微粒子の材料をイオン注入によって絶縁体中に導入する工程において、上記注入を、上記絶縁体の表面に対して鋭角をなす方向から行なっても良い。

具体的には、シリコン基板上に形成したシリコン酸化膜に、このシリコン酸化膜表面の法線に対して約  $70^\circ$  程度の入射角をなして、銀負イオンを注入する。上記シリコン酸化膜厚は、約  $100\text{ nm}$  である。上記銀負イオンの注入条件は、図 50 の例におけるのと略同様の条件である。

この後、図 50 の例と同様に、熱処理工程を行なって銀微粒子を形成した結果、この銀微粒子は、上記シリコン酸化膜の深さ方向において、図 50 の例よりも狭い幅に分布して形成された。この例では、図 50 の例に対して約半分程度の厚みの領域に銀微粒子を形成することができた。

ここで、正イオンを用いた注入法では、注入を受けるシリコン酸化膜などの絶縁体が帯電してしまい、鋭角をなして銀イオンの注入を行っても、銀イオンの注入分布が広がる場合や、所望の注入深さが得られない場合が多い。これに対して、この例では、負イオン注入法を用いるので、上記シリコン酸化膜が高電圧に帯電することがなく、注入した銀イオンを設定通りに分布させることができ、その結果、所望の深さに比較的狭い分布幅をなして微粒子を形成することができる。し

たがって、例えば、シリコン基板上に形成されて銀イオンの注入を受けるシリコン酸化膜を薄膜化しても、上記シリコン基板まで銀イオンを注入してしまうといった不都合を避けることが可能となる。

5 同様の条件で、シリコン酸化膜厚を約50nmに薄膜化した試料に銀微粒子を形成した結果、厚みが100nmの上記シリコン酸化膜と同様に、所定の深さの領域に渡って正確に銀微粒子を形成することができた。また、注入エネルギーを低エネルギー化することや、上記シリコン酸化膜表面に対する注入角度を高角にすることによって、さらに、上記シリコン酸化膜を薄膜化することが可能となる。

10 図51Aは、導電性微粒子の材料を絶縁体に注入するための装置を示す概略図である。この装置を用いて、導電性微粒子を形成する母体に、上記導電性微粒子の材料の注入を行いながら、表面をエッチングする。例えば、シリコン基板上に形成されたシリコン酸化膜に銀イオンを注入しながら、上記シリコン酸化膜に対して異方性エッチングを行う。

15 図51Aに示すように、この装置は、ドライエッチング装置の反応室7710に、イオン注入装置のビーム輸送部7720の出口を設け、イオン注入装置の注入室を兼ねる構造を有する。このドライエッチング装置は、コイル7740、マイクロ波導波管7750、エッチングガス導入管7760、真空排気口7770を有する。また本装置では、ビーム輸送部7720の周りに磁気シールド7780を設けて、コイル7740などからの外部磁場によってイオンビームが影響を受けるのを防いでいる。

20 また、この例では、絶縁体への導電体イオンの斜め注入を実施すべく、図51Bに示すように、イオンの入射方向が、基板保持台7730の法線に対して約70°の角度を有する構造になっている。また、ビーム輸送部7720の取り付け方向を変更することによって、あるいは、ビーム輸送部7720にビーム径路の変更機構を備えることによって、上記導電体イオンの注入方向を所望の方向に  
25 設定することも可能である。

あるいは、基板保持台7730に可動機構を備えることにより、基板保持台7730の傾きを変化することによって、基板上の絶縁体に対する注入方向を任意に設定することができる。図51Bは、図51Aの状態から基板保持台7730

のみを約  $15^\circ$  傾けた状態を模式的に示した図である。したがって、図 5 1 B の状態では、導電体イオンの注入角度は約  $55^\circ$  となる。

ここで、シリコン基板上の膜厚が約  $40\text{ nm}$  のシリコン酸化膜に対して、図 5 1 A の装置を用いて、銀負イオンを約  $30\text{ keV}$  の注入エネルギーで  $1 \times 10^{15} / \text{cm}^2$  程度注入した。これと共に、ドライエッチングによって、上記シリコン酸化膜を一定レートで約  $10\text{ nm}$  エッチング行った。この例では、ビームの平均電流密度は約  $1\text{ }\mu\text{A} / \text{cm}^2$  であり、エッチングレートはおよそ  $4\text{ nm} / \text{min}$  程度であった。

その後、図 4 5 乃至図 5 0 の例と同様の方法で熱処理を行った。上述の例では、シリコン酸化膜表面から所定の深さにおいて、最も大きい粒径の微粒子が形成され、この所定深さの上下に、上記粒径よりも小さい粒径の微粒子が形成された。また、微粒子の密度が、シリコン酸化膜の膜厚方向において、不均一になる傾向があった。しかしながら、この図 5 1 の装置を用いた例では、上記シリコン酸化膜の表面付近から約  $10\text{ nm}$  程度の深さまでの領域において、比較的均一な粒径の銀微粒子の分布が得られ、上記微粒子の大きさや密度のばらつきが少なくなった。

また、この例では、上記絶縁体の表面に対して鋭角をなす方向から微粒子材料を注入する斜め注入を行なっているので、微粒子の形成される領域は、絶縁体の膜厚方向において狭い範囲に設定することが可能である。また、上記微粒子材料の注入角度を調節すれば、上記絶縁体における微粒子の形成範囲を調整することが可能である。さらに、この例におけるように、負イオンを用いることによって、さらに微粒子形成範囲のばらつきを抑制することが可能になるので、微粒子の形成範囲を良好な精度で調整することができる。

さらに、上記微粒子の絶縁化工程を行なうことによって、他の実施形態と同様に、導電性微粒子の粒径を縮小することができ、また、上記導電性微粒子の電荷保持特性を向上することができる。特に、この例では、上記絶縁体の膜厚方向において、狭い範囲に導電性微粒子を形成することができるので、絶縁体の薄膜化を行なうことができる。また、上記導電性微粒子を、薄膜中の狭い厚み方向の範囲に形成できるので、短い時間で略全ての微粒子表面を絶縁化することができ、



絶縁化工程の時間の短縮を行なうことができ、また、微粒子表面の絶縁化のばらつきを抑制できるので、信頼性と生産性を向上することができる。

図 5 2 A は、一実施形態の抵抗変化機能体を示す模式図である。図 5 2 B は、図 5 2 A の一部を拡大した図である。この例では、導電性基板上の絶縁体中に、  
5 本発明による微粒子の形成方法により作製したナノメートルサイズの導電性微粒子を形成し、さらに、上記絶縁体の上に、通常用いられる方法で電極を形成して、抵抗変化機能体を構成した。

この抵抗変化機能体は、第 1 の導電体としての基板 7 8 0 0 上にシリコン酸化膜 7 8 1 0 を備え、このシリコン酸化膜 7 8 1 0 中に、銀酸化膜 7 8 2 5 で覆わ  
10 れた銀微粒子 7 8 2 0 が形成されている。上記シリコン酸化膜 7 8 1 0 上に、第 2 の導電体としてのアルミニウムで形成した電極 7 8 3 0 を設けている。

上記抵抗変化機能体のシリコン基板 7 8 0 0 とアルミニウム電極 7 8 3 0 との間に電圧  $V_g$  を印加したときの上記シリコン酸化膜 7 8 1 0 の容量  $C$  を測定して実験を行なった結果、図 5 3 に示すような曲線が得られた。図 5 3 において、横  
15 軸が電圧  $V_g$  (V) であり、縦軸が容量  $C$  (pF) である。図 5 3 から分かるように、上記抵抗変化機能体は、ヒステリシス特性を示す。このように、この例のナノメートルサイズの銀微粒子 7 8 2 0 を含むシリコン酸化膜 7 8 1 0 は、ヒステリシス特性を有するので、上記シリコン基板 7 8 0 0 とアルミニウム電極 7 8  
20 3 0 との間に同一電圧を印加したときの容量の大小を比較することによって、2 値の判別を行うことができ、メモリ機能を奏することができる。

また、この抵抗変化機能体は、負イオン注入を用いて作製されているので、上記シリコン酸化膜 7 8 1 0 は、単一熱酸化膜と同等の品質を有している。したがって、この抵抗変化機能体は、信頼性が非常に高く、例えば CVD (Chemical Vapor Deposition) 法によって絶縁膜および微粒子を形成する場合と較べて、  
25 製造にかかる時間が短いので、優れた生産性を有する。

また、負イオン注入によって銀イオンを注入するので、帯電による銀微粒子の形成位置のばらつきを抑えることができ、上記銀微粒子を含むシリコン酸化膜 7 8 1 0 は、薄膜化と微細化が可能である。さらに、厚みが比較的厚い場合と比較して、電極間に同じ電圧を加えても、シリコン酸化膜 7 8 1 0 にかかる実効電場

が強くなるので、抵抗変化機能体の低電圧化が可能となり、生産性および低消費電力性を向上することができる。

また、上記銀イオンの注入の際に、シリコン酸化膜 7810 の表面に対して鋭角をなして注入を行うので、シリコン酸化膜 7810 の厚み方向における銀微粒子 7820 の分布の広がりを抑制することができる。したがって、上記シリコン酸化膜 7810 は薄膜化が可能となり、効果的に微細化を行なうことができる。

なお、上記シリコン酸化膜 7810 の厚みについて、図 45 中のシリコン酸化膜 7110 を用いて、シリコン酸化物のみを増やして 70 nm に厚みを増大した試料を形成し、この試料に電位差を与えて実験を行なった。その結果、上記試料の膜では、電位差を 10 V 近くまで上昇させなければメモリ機能体として動作しなかった。また、10 V の電位差を与えると、絶縁破壊が生じてしまった。したがって、上記シリコン酸化膜 7810 の厚みは、70 nm 未満であることが好ましい。

また、この抵抗変化機能体を、従来の DRAM のキャパシタにもちいれば、リフレッシュが必要ないか、あるいは、少なくともリフレッシュ回数を大幅に削減できる低消費 DRAM が実現可能となる。また、強誘電体メモリの強誘電体のような特殊な材料を用いる必要が無いので、簡単な工程で成作でき、優れた生産性を有する DRAM が得られる。

なお、上記銀微粒子 7820 の大きさは、大きすぎると微細化が困難になる一方、小さすぎるとメモリ機能が低下するので、ナノメートルサイズ、すなわち、1  $\mu$ m 未満の大きさが好ましく、特に、粒径が、0.1 nm より大きく 4 nm より小さい範囲に含まれる銀微粒子 7820 が多数となるのが好ましい。

電極は導電性の物質であれば、金属あるいはポリシリコン等の導電性を有する物質を用いることができる。

この例において、媒体としてのシリコン酸化膜 7810 中に、酸化銀 7825 で覆われた導電性微粒子としての銀微粒子 7820 を形成した場合を説明したが、上記導電性微粒子は、金、銅、シリコン、ゲルマニウム、アルミニウム、タングステン、ニオブ、ジルコニウム、チタン、クロム、スズ、コバルト、ニッケル、鉄、アンチモンおよび鉛などの他のもので形成してもよい。この導電性微粒子の

材料に応じて、この導電性微粒子を酸化または窒化してなる絶縁体によって、上記導電性微粒子を覆うように形成すればよい。また、上記導電性微粒子および絶縁体が形成される媒体（絶縁体）は、上記シリコン酸化物に限らず、シリコン窒化物、ガラス基板および他の半導体などで形成してもよい。

また、図52の例とは異なる材料によって抵抗変化機能体を作製しても良い。例えば、シリコン熱酸化膜中に、銀に換えてシリコンを、 $10\text{ keV} \sim 15\text{ keV}$ の注入エネルギーの下で、 $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ の注入量で注入する。そして、熱処理を窒化雰囲気で行って、シリコン微粒子の表面をSiNで覆ってなるSiN/Si微粒子を形成する。上記熱処理は、アンモニア雰囲気中で約 $900^\circ\text{C}$ の温度の下で、数時間行なう。

この例で作製した抵抗変化機能体は、従来のCVDでシリコン微粒子を形成して作製した抵抗変化機能体に比べて、ヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、電荷の保持特性にも優れていることが分かった。これは、微粒子を含む媒体となる絶縁体が、シリコン熱酸化膜であるため、CVD膜や多結晶シリコンの酸化膜よりも良質であることによる。また、上記シリコン微粒子の表面に、CVDによるSiN膜ではなく、アニール処理によってSiN膜を形成するので、上記シリコン微粒子とSiN膜との間に形成される界面準位が少なくできて、保持電荷のリークが少ない優れた特性が得られることによる。

また、銀に換えてアルミニウムによって、導電性微粒子を形成しても良い。シリコン酸化膜に、アルミニウムを、 $5\text{ keV} \sim 15\text{ keV}$ の注入エネルギーで、約 $1 \times 10^{14} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ の注入量で注入し、上の例と同様に熱処理を行なう。この熱処理温度は、 $600^\circ\text{C}$ 以下である。これによって、アルミニウム微粒子表面がアルミナで覆われてなる $\text{Al}_2\text{O}_3/\text{Al}$ 微粒子が、離散的に存在するシリコン酸化膜を有する抵抗変化機能体を作製できた。

この例の抵抗変化機能体は、従来の方法で作製した微粒子を有する抵抗変化機能体よりもヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、優れた電荷保持特性を有する。これは、導電性微粒子は、金属であるアルミニウムを用いたので電荷蓄積能力が優れていることと、この導電性微粒子を、良好な絶縁体であるアルミナで囲んでいるので電荷保持能力が優れていることによる。

また、上記アルミナは、いわゆる不動態であり、上記アルミニウム微粒子の表面に酸化でアルミナが形成された後は、それ以上酸化が殆ど進まないため、電荷に関する特性が殆ど変化しない。その結果、安定的なメモリ動作と信頼性の高いメモリ機能体の実現できる。

- 5        また、イオン注入法とは異なる方法で導電性微粒子を形成しても良い。すなわち、媒体としての絶縁体に導電性微粒子を形成する材料を加える方法として、イオン注入法に換えて拡散法を用いた。例えば、シリコン酸化膜にアルミニウム微粒子を形成した後、図45の例と同様に、シリコン酸化膜を形成する。このシリコン酸化膜上に、真空蒸着装置でアルミニウムを蒸着してアルミニウム膜を製膜する。蒸着法に換えてスパッタ法を用いても良く、アルミニウム膜が形成できればどのような方法を用いても良い。

その後、およそ400℃～600℃程度で熱処理を行い、上記シリコン酸化膜中にアルミニウムを拡散させた。その後、上記拡散した温度より低温で熱処理を行い、その後、更に酸化を行った。

- 15        その後、上述の各例と同様に、電極を形成して抵抗変化機能体を形成した。この抵抗変化機能体は、上述の各例と同様に、優れたメモリ特性を有することが分かった。

この例によれば、拡散法を用いることによって、イオン注入によるよりも簡単に、優れた特性の抵抗変化機能体を作製できる。

- 20        なお、アルミニウム膜に換えてAlSi膜を用いた方が、媒体としての絶縁体の表面付近が非常に高濃度になることを防ぐことができるため、より好ましい。また、導電性微粒子として、アルミニウムに代表されるような、酸化物が不動態を形成する材質を用いれば、微粒子の周りを、酸化によって良質の絶縁膜で覆うことができるので、他の材質よりも有利である。

- 25        図54は、一実施形態のメモリ素子を示す模式図である。この例では、半導体基板上の絶縁体中に、上記微粒子形成方法によって作製したナノメートルサイズの導伝性微粒子を形成し、さらに、上記絶縁体の上に通常用いられる方法で電極を形成する。上記電極は導電性の物質であれば金属あるいはポリシリコン等の電導性を有する物質を用いることができる。そして、上記半導体基板に、フラッシュ

メモリ等通常のトランジスタで用いられる方法でソース・ドレイン領域を形成し、電界効果型トランジスタを構成して、本発明のメモリ素子を作製した。

具体的には図54に示すように、例えばシリコン基板上8000のシリコン酸化膜8010中に、銀酸化膜でくるまれた銀微粒子を形成する。このシリコン酸化膜8010上にアルミニウム膜を形成し、このアルミニウム膜から、フォトリソグラフィおよびエッチングによってゲート電極8020を作製する。そして、通常のイオン注入法によって、上記シリコン基板8000にソース/ドレイン領域8030を形成する。さらに、通常の方法によって配線工程を実施し、トランジスタを形成する。

この例で作製したメモリ素子は、図52の例で述べた容量の大小に対応して、閾値の大小が得られた。すなわち、書き込みおよび消去を行うには、フローティングゲート型メモリと同様に、ゲート電極8020に十分大きな正または負の電圧を印加する。読み出しを行なうには、ソース/ドレイン8030間に流れる電流を検出すればよい。このメモリ素子では、ゲート電極8020に+15Vを印加した直後と、-15Vを印加した直後とで、閾値におよそ2Vの差が生じた。したがって、このメモリ素子は、フラッシュメモリなどと同様のメモリ動作を行なうことができる。

また、このメモリ素子は、上記微粒子形成方法によって微粒子が形成されたシリコン酸化膜8010を備え、このシリコン酸化膜8010は薄膜化が可能であるので、微細化、低電圧化が可能である。さらに、フラッシュメモリのような複雑な工程を必要とせず、強誘電体メモリのように特殊な材料を用いていないので、優れた生産性を有する。

なお、この例では、ゲート絶縁膜（シリコン酸化膜8010）の厚さを約50nmとしたが、更に薄膜化が可能であるのはいうまでもなく、微粒子の大きさより薄くならない範囲で薄膜化を図ることができる。上記ゲート電極は5nm未満とすることが好ましく、これによって、メモリ素子の低電圧化が可能となって、10V未満で駆動可能となる。

また、ゲート絶縁膜として、シリコン熱酸化膜を約5nm～10nm程度の厚みに薄膜化したものを用いても良い。すなわち、そのように約5nm～10nm

程度の厚みに薄膜化したゲート絶縁膜を用いて電界効果型トランジスタを構成し、メモリ素子を作製する。このメモリ素子は、上記ゲート絶縁膜以外は、図54の例と同様の構成を有する。

上記ゲート絶縁膜は、図52の例と同様の方法で作製したが、イオン注入工程では、シリコン熱酸化膜の表面の法線に対して約 $65^{\circ} \sim 80^{\circ}$ 程度をなす入射角で、銀イオンの注入を行った。また、上記イオン注入時のシリコン熱酸化膜の厚みは約25 nmであり、その後の工程で、上記シリコン熱酸化膜を約10 nm $\sim$ 20 nm程度エッチングして、薄膜化した。

このメモリ素子について、図52の例と同様に測定を行った結果、ゲートに+3 V印加した直後と-3 V印加した直後とで、閾値にしておよそ2 Vの差が生じた。

このように、このメモリ素子は、通常のフラッシュメモリでは動作が困難な低電圧でも、フラッシュメモリ等と同様のメモリ動作が可能であることがわかった。

これは、上記ゲート絶縁膜として働くシリコン酸化膜において、このシリコン酸化膜中の導電性微粒子が、酸化物で覆われているので、量子効果を顕著に発現させることが可能になったため、低電圧で電子を微粒子に注入可能になったからであると考えられる。さらに、クーロンブロッケイド効果等により、電子のリークを抑制されるためと考えられる。

上記微粒子形成方法によって形成された微粒子を有するゲート絶縁膜を備えたメモリ素子は、そのゲート絶縁膜の厚さを、このゲート絶縁膜に含まれる微粒子の大きさよりも薄くならない程度に薄くするのが好ましく、具体的には、5 nm未満とすることが好ましい。これによって、メモリ素子の低電圧化が可能になり、10 V未満で駆動可能となる。

また、上記微粒子形成方法を用いたメモリ素子は、製造が容易であり、従来のシリコンプロセスとの親和性を有するので、例えば携帯電話等のように集積回路を用いるあらゆる電子機器に組み込み可能である。これらの電子機器は、上記メモリ素子を備えることによって、効果的に小型化、低消費電力化を実現することができる。

以上の例では、分かり易く、無機材料を用いた例をあげてきたが、たとえば、有機材料を用いることは、有機材料の多様な機能および機能設計の自由度から好

ましい。例えば、微粒子の表面に有機高分子を結合させることにより化学修飾を行い、その表面が有機物で覆われた微粒子を他の物質中に拡散させることが可能である。例えば、上記表面が有機物で覆われた微粒子を溶液に拡散させ、その溶液をある基板上に塗布していくことで、第1材料が上記溶液で、第3材料は上記  
5 微粒子を形成している材料で、第2材料は上記有機高分子で化学修飾された上記微粒子の材料である、本発明の抵抗変化機能体を構成することができる。

例えば、金微粒子にチオール基を有する例えばアルキルチオール ( $\text{CH}_3-(\text{CH}_2)_n-\text{SH}$ 、 $n$ は整数) で修飾すると金微粒子は表面がアルキルチオールという有機物で囲まれた構造になる。この金チオール粒子を例えばSOG (スピンオン  
10 グラス) に混ぜて絶縁体中に金チオール粒子を備えた構造を作成することができる。

あるいは酸化シリコンが親水性であるのと、鎖状の有機分子では鎖の一端を親水性にし他端を疎水性にすることができることを利用し、シリコン微粒子の表面を酸化した上にさらに上記のような有機物を表面に修飾して、表面がシリコン酸  
15 化物と有機物といった、異なる2層で覆われたような構造を作成することもできる。

次に、図示のモデルを用いて本発明の抵抗変化機能体の動作を考察する。

図55A、図55Dは、それぞれ絶縁体9150中に比較的小さな微粒子9161と比較的大きな微粒子9160とを1対含む抵抗変化機能体9100、9200を模式的に示している。比較的小さな微粒子9161は図において上側、比較的大きな微粒子9160は図において下側に配置されている。図55Aの抵抗変化機能体9100では、上記絶縁体9150に対して、図において左右方向からそれぞれ第1電極9110、第2電極9120が接すると共に、図において上方向から第3電極9130が接している。図55Dの抵抗変化機能体9200では、上記絶縁体9150に対してさらに、図において下方向から第4電極9140が接している。  
20  
25

図55Cに示すように、第1電極9110と第2電極9120との間に電圧を印加した場合、主に、比較的大きな微粒子9160を伝って電荷が移動、すなわち電流 (図中に矢印で示す。) が流れると推察される。比較的小さな微粒子91

61は、比較的大きな微粒子9160に比べ、電気容量も小さく、また断面積も小さいので抵抗が高いため、電荷が移動するにはより大きな電圧を必要とする。このため、比較的小さな微粒子9161を介して電荷は移動しがたい。特に微粒子の大きさがナノメートルサイズの微粒子であれば、サイズ効果によりクーロンブロッケード効果が有効になることがある。この場合には更に大きな微粒子9160に比べ、小さな微粒子9161には電荷が移動しがたくなる。

一方、図55B中に示すように第3電極9130から移動しようとする電荷、または、図55E、図55F中に示すように第3電極9130と第4電極9140との間を移動しようとする電荷は、比較的小さな微粒子9161を伝って移動する可能性が高い。

このように絶縁体9150に含まれる複数の微粒子として、比較的小さな微粒子9161と、比較的大きな微粒子9160の少なくとも2種類の微粒子が存在し、第1電極9110と第2電極9120との間を移動する電荷は比較的大きな微粒子9160を伝って移動できるが、第3電極9130から（または、第3電極9130と第4電極9140との間を）移動しようとする電荷は比較的小さな微粒子9161を伝って移動する可能性の高い構造を有していることが好ましい。

なお、図中の矢印は分かり易く説明するためのもので、本発明を限定するものではない。例えば、2本の矢印は重ならぬように意図的にずらして見やすくしている。

図56Aは、絶縁体9150中に比較的小さな微粒子9161と比較的大きな微粒子9160との対が層方向（図において左右方向）に複数一定ピッチで並んで配置されている抵抗変化機能体9130を模式的に示している。先の例を同様に、比較的小さな微粒子9161は図において上側、比較的大きな微粒子9160は図において下側に配置されている。このような構造であれば、図56B中に拡大して示すように、隣接する比較的小さな微粒子9161同士の間隔d2は、隣接する比較的大きな微粒子9160同士の間隔d1に比べて広がっている。

このモデルで、図56A中に示した第1電極9110と第2電極9120との間に電圧を印加した場合、電荷は小さな微粒子9161を伝達せずに大きな微粒子9160を伝達すると考えられる。



次に、第3電極9130（と第4電極9140との間）に電圧を印加した場合、電圧の印加方向を考慮すれば、ある一定電圧以上を加えれば、比較的小さな微粒子9161にも周りの絶縁体9150をトンネルして電荷が注入されることが容易に推察される。

一旦、これら小さな微粒子9161に電荷が注入されれば、第3電極9130（と第4電極9140との間）の電圧印加を停止しても、小さな微粒子9161の周囲は絶縁体9150で囲まれているので、小さな微粒子9161に電荷が保持された状態になると考えられる。

この状態で、再び第1電極9110と第2電極9120との間に電圧を印加した場合、主に電流が流れるであろう比較的大きな微粒子9160の近くの小さな微粒子9161には電荷が保持されているから、それらの電荷は第1電極9110と第2電極9120との間を大きな微粒子9160を伝達して移動しようとする電荷に対してクーロン相互作用を及ぼし、電荷の移動を阻害することが予想される。すなわち、第1電極9110と第2電極9120との間を流れる電流は抑制され、はじめの状態に比べて減少すると考えられる。つまり、第1電極9110と第2電極9120との間の電気抵抗が増大すると考えられる。

また、この動作は、図56Cに示すような、絶縁体9150中に比較的小さな微粒子9161と比較的大きな微粒子9160とがそれぞれ層方向に分布している抵抗変化機能体9400でも同様に生ずると考えられる。

これらの抵抗変化機能体9300、9400では、抵抗変化を利用して、電流の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。また、本発明の抵抗変化機能体は、部分的に電荷の捕獲をするため局所電荷保持機能体と言い換えることもできる。

図57A、図57Bは、これらの抵抗変化機能体9300、9400における大きさの異なる2つの微粒子9160、9161の間の位置関係を示している。図示のように、層方向に沿った面9031に対して、比較的大きな微粒子9160と比較的小さな微粒子9161を結ぶ直線9032が、交わる角度 $\theta$ が、 $45^\circ$ 以上であることが好ましい。なぜなら、上記角度 $\theta$ が $45^\circ$ 未満であると、第1電極9110と第2電極9120との間に電圧を印加した場合に比較的小さ

な微粒子 9161 に電荷が注入される可能性があり、そのため、抵抗変化機能体の動作が不安定になる可能性があるからである。したがって、抵抗変化機能体における大きさの異なる 2 つの微粒子 9160, 9161 の間の位置関係は、大きさの異なる 2 つの微粒子 9160, 9161 が分布する層に略平行な面に対して、  
5 比較的大きな微粒子 9160 と比較的小さな微粒子 9161 を結ぶ直線が交わる角度  $\theta$  が、 $45^\circ$  以上である、という条件を満たすことが好ましい。なお、図 57A では  $\theta$  が  $90^\circ$ 、図 57B では  $\theta$  が  $65^\circ$  程度に表されている。

図 58A～図 58F は、このような条件を満たす抵抗変化機能体の製造方法の一例を示している。

10 まず、図 58A に示すように、シリコン基板 9000 (第 3 電極 9130 となる) の表面を熱酸化してシリコン酸化膜 9151 を形成する。その上に温度  $610^\circ\text{C}$  のシラン雰囲気中で LPCVD (減圧気相成長) 法によりシリコンを成長させ、膜状のポリシリコンになる前に成膜を中止する。これにより、シリコン酸化膜 9151 上にシリコン微粒子 9160 を散点状に形成する。この例では、用いた装置の表示ではシラン供給時間は約 7 分間であった。

次に、図 58B に示すように、温度  $850^\circ\text{C}$  で熱酸化を行って、シリコン微粒子 9160 の表面にシリコン酸化膜 9152 を形成する。このとき残ったシリコン微粒子 9160 の直径は約  $4\text{ nm} \sim 8\text{ nm}$  であった。

20 次に、図 58C に示すように、温度  $610^\circ\text{C}$  のシラン雰囲気中で LPCVD 法によりシリコンを成長させ、膜状のポリシリコンになる前に成膜を中止する。これにより、各シリコン微粒子 9160 に対応して、シリコン酸化膜 9152 上にシリコン微粒子 9161 を形成する。この例では、用いた装置の表示ではシラン供給時間は約 4 分間であった。

25 次に、図 58D に示すように、先程と同様に温度  $850^\circ\text{C}$  で熱酸化を行って、シリコン微粒子 9161 の表面にシリコン酸化膜 9153 を形成する。シリコン微粒子表面を酸化した。このとき残ったシリコン微粒子 9161 の直径は約  $2\text{ nm}$  以下であった。

次に、図 58E に示すように、シリコン微粒子 9160, 9161 を埋めるように層間絶縁膜としてシリコン酸化膜 ( $\text{SiO}_2$ ) 9154 を成膜する。これに

より、図58Fに示すように、絶縁体としてのシリコン酸化膜9150（9151，9152，9153および9154を含む。）中に、導電性微粒子としてのシリコン微粒子9160，9161が上下に対をなして配置された状態となる。

この後、ホトリソグラフィとドライエッチングを用いて両側に電極用の溝9158，9159を形成し、その溝9158，9159内に第1電極9110、第2電極9120となるメタル配線を形成する。もちろん第1電極、第2電極の材料は、導電性を有するものであれば良く、例えばメタル以外のポリシリコンなどであっても良い。

図59A～図59Eは、大きさの異なる2つの微粒子9160，9161の間の位置関係についての上述の条件を満たす抵抗変化機能体の製造方法の別の例を示している。

まず、図59Aに示すようにガラス基板9900を用意し、図59Bに示すように、ガラス基板9900の表面に対して、微粒子を構成すべき元素9800をイオン注入した。この例では金元素を負イオン注入して、図59Cに示すように、金微粒子が、基板表面から或る深さ位置Cを中心として、厚さ方向V1，V2に関して或る範囲内に分布するように形成した。金微粒子のサイズ、濃度および密度は、位置Cで最大であり、その位置Cから厚さ方向に離れると小さくなっている。9160は比較的大きな微粒子、9161は比較的小きな微粒子を表している。

次に、図59Dに示すように、注入分布の中心、正確には微粒子のサイズが大きい位置C近傍までガラス基板9900の表面側をエッチングして除去する。そして、そのエッチングした面に、絶縁のためにシリコン酸化膜（ $\text{SiO}_2$ ）を成膜する。

この後、図59Eに示すように、ホトリソグラフィとドライエッチングを用いて両側に電極用の溝9991，9992を形成し、その溝9991，9992内に第1電極9110、第2電極9120となるメタル配線を形成する。また、第1電極9110と第2電極9120との間の基板表面に第3電極9130を形成する。

このように作製した抵抗変化機能体では、微粒子の大きさが或る深さ位置C

(図59D参照)から深くなるにつれて次第に小さくなっている。この例では、比較的大きな微粒子9160が多数存在する領域では、微粒子の直径はおおよそ3nm~4nmのものが多くかつ密度が高くなっていた。比較的小さな微粒子9161が多数存在する領域では、微粒子の直径はおおよそ2nm未満のものが多くなっていた。比較的小さな微粒子9161が多数存在する領域での微粒子間の間隔は、比較的大きな微粒子9160が多数存在する領域での微粒子の間隔に比べ広がった。

これらの製造方法によって作製した抵抗変化機能体はそれぞれ絶対値には違いがあるものの、第3電極9130に対する電圧印加後に第1電極9110と第2電極9120との間に流れる電流量が低下する減少が見られた。

図60Aは、図59の製造方法によって作製した抵抗変化機能体の絶縁体(符号9150で示す。)を拡大して示している。図60B、図60Cはそれぞれ図60Aにおいて厚さ方向に延びるA-A'線、層方向に延びるB-B'線に沿った微粒子(符号9160で代表して示す。)の粒径の分布を示している。なお、厚さ方向A-A'は基板表面に対して垂直な方向(または第3電極9130が対向する方向)に相当し、層方向B-B'は第1電極9110と第2電極9120とを結ぶ方向に相当する。これらの図から分かるように、上記微粒子9160の粒径の分布は、層方向B-B'には一様であるが、厚さ方向A-A'には非対称性が強いという特徴をもつ。すなわち、或る微粒子とそれに対して層方向B-B'に隣接する微粒子とは大きさがほぼ同じであるが、或る微粒子とそれに対して厚さ方向A-A'に隣接する微粒子とは大きさが異なるという特徴がある。

更に、一般的に言って、微粒子の大きさが違えば微粒子の電気容量も異なるから、上記抵抗変化機能体は、厚さ方向A-A'、つまり第3電極9130の対向する方向に電気的特性が非対称性を有しているともいえる。

電気的特性の非対称性は、少なくとも、他の条件を同一として第3電極9130に印加する電圧の絶対値は同じとして正負を入れ替えた場合に、電流-電圧(I-V)特性あるいは容量-電圧(C-V)特性のグラフの形状が異なるものとして現れるから、確かめることができる。

また、既述のように、この抵抗変化機能体の動作原理の一つは、比較的小さな

微粒子 9 1 6 1 にはその電気容量が小さいことにより電荷が注入されにくいことにある。したがって、微粒子の大きさが同等程度であっても、材質によってより小さい電気容量の微粒子と、より大きい電気容量の微粒子を用いることで、電気的特性の非対称性が得られる。しかしながら、上述したように、微粒子の間隔によっても電荷の注入の難易は異なるので、2つの異なる微粒子の空間的大きさと電気容量の大きさの大小関係は一致しているほうが効果的である。

なお、サイズ効果の一種のクーロンブロッケイド効果を利用して小さな微粒子に効率的に電荷を保持させる場合、クーロンブロッケイド効果が顕著になるには、微粒子の容量を考えた場合、電荷を離脱させるために必要なエネルギーが周囲温度による熱エネルギーと比較して十分大きくなければならない。そのためには、微粒子を完全導体球と仮定したとき微粒子の半径は0.5 nm～1 nm程度であろうと推定される。なお、微粒子の粒径が小さくなるにつれてクーロンブロッケイド効果自体は顕著になるが、微粒子の粒径が小さすぎると電荷の注入も難しくなり、高電圧や動作速度の低下が起こる。したがって、デバイス応用の観点から必要以上に小さな微粒子は用いない方が好ましい。

上述の微粒子含有体、あるいはそれを用いた抵抗変化機能体、メモリ機能体などを基板上に作製した場合の占有面積（3次元的に作製した場合は、基板に対する投影面積を指す。）は、単体としては概ね1平方ミリメートル以下、望ましくは1平方マイクロメートル以下であるほうが集積化に適している。

## 請 求 の 範 囲

1. 第1電極と第2電極との間に挟まれた第1物質からなる物体と、

上記物体中に、上記第1電極と第2電極との間に所定の電圧を印加した前後で、  
5 上記第1電極と第2電極との間の電気抵抗を変化させるように配置された、第2  
物質からなる複数の微粒子を備え、

上記第1物質は第2物質に対して電氣的に障壁となることを特徴とする抵抗変化機能体。

2. 請求項1に記載の抵抗変化機能体において、

10 上記第1物質からなる物体は絶縁体であり、

上記第2物質からなる微粒子は導電性微粒子であることを特徴とする抵抗変化機能体。

3. 請求項2に記載の抵抗変化機能体において、

上記導電性微粒子の粒径は、0.2 nm以上且つ4 nm未満のものを含むこと  
15 を特徴とする抵抗変化機能体。

4. 請求項1に記載の抵抗変化機能体を備え、

上記抵抗変化機能体に流れる電流の向きを定めるように、整流作用を有する整流機能体が上記抵抗変化機能体と電氣的に直列に接続されていることを特徴とするメモリ。

20 5. 請求項1に記載の抵抗変化機能体を備え、

上記抵抗変化機能体を選択するための選択トランジスタが上記抵抗変化機能体と電氣的に直列に接続されていることを特徴とするメモリ。

6. 請求項1に記載の抵抗変化機能体を含むメモリセルを少なくとも2つ備え、

上記2つのメモリセルの上記第1物質からなる物体は一体に連続して形成され、

25 上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されていることを特徴とするメモリ。

7. 請求項1に記載の抵抗変化機能体と、上記抵抗変化機能体を選択するため

の選択トランジスタと、上記抵抗変化機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備え、

上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっており、

上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置され、

第1のセルと第2のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通であり、

第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通であり、

第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通であり、

第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラインと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通であることを特徴とするメモリ。

8. 請求項1に記載の抵抗変化機能体を含むメモリセルが上記基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルの上記第1物質からなる物体は一体に連続して形成されていることを特徴とするメモリ。

9. 請求項1に記載の抵抗変化機能体とこの抵抗変化機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、上記基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルの上記第1物質からなる物体および／または整流機能体は一体に連続して形成されていることを特徴とするメモリ。

10. 請求項1に記載の抵抗変化機能体において、

上記第1物質からなる物体に対して、上記第1の電極と第2の電極とが対向す

る方向に略垂直な方向から電圧を印加し得る第3電極が隣接していることを特徴とする抵抗変化機能体。

11. 請求項1に記載の抵抗変化機能体において、

上記第3電極に印加する電圧の正負により、電気的特性が異なることを特徴とする抵抗変化機能体。

12. 請求項1に記載の抵抗変化機能体において、

上記複数の微粒子として、比較的小さな微粒子と、比較的大きな微粒子の少なくとも2種類の微粒子が存在することを特徴とする抵抗変化機能体。

13. 請求項10に記載の抵抗変化機能体において、

上記微粒子は、上記第1電極と第2電極とを結ぶ方向に対して略平行な層方向に関して一様に分布するとともに、上記層方向に対して垂直な厚さ方向に関して或る範囲内に分布していることを特徴とする抵抗変化機能体。

14. 請求項13に記載の抵抗変化機能体において、

上記微粒子を構成する元素の濃度は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする抵抗変化機能体。

15. 請求項13に記載の抵抗変化機能体において、

上記微粒子の密度は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする抵抗変化機能体。

16. 請求項13に記載の抵抗変化機能体において、

上記微粒子の粒径は、上記分布内の或る位置で最大であり、その位置から上記厚さ方向に離れると小さくなっていることを特徴とする抵抗変化機能体。

17. 請求項13に記載の抵抗変化機能体において、

比較的大きな微粒子と比較的小さな微粒子との少なくとも2つの微粒子を含み、

上記層方向に沿った面に対して、上記2つの微粒子を結ぶ直線が交わる角度が45度以上であることを特徴とする抵抗変化機能体。

18. 請求項16に記載の抵抗変化機能体において、

上記微粒子の粒径の分布は、上記厚さ方向に関して上記粒径が最大となる位置の両側で非対称になっていることを特徴とする抵抗変化機能体。



19. 請求項13に記載の抵抗変化機能体において、

上記第1物質からなる物体は絶縁体であり、

上記厚さ方向の上記絶縁体の膜厚は、2nm以上且つ50nm未満であることを特徴とする抵抗変化機能体。

5 20. 請求項10に記載の抵抗変化機能体を備えたメモリであって、

上記第1の電極と第2の電極がそれぞれ半導体基板の表面に形成された拡散領域からなり、

上記第1物質からなる物体が上記半導体基板の表面のうち上記拡散領域の間の領域に形成され、

10 上記第3の電極が上記第1物質からなる物体上に設けられていることを特徴とするメモリ。

21. 請求項10に記載の抵抗変化機能体を備えたメモリであって、

上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなり、

15 上記第1物質からなる物体が上記導電体の間に挟まれた領域に形成された絶縁体からなり、

上記第3の電極が上記絶縁体上に設けられていることを特徴とするメモリ。

22. 請求項10に記載の抵抗変化機能体において、

上記第1物質からなる物体を挟んで上記第3電極に対向する位置に第4電極を備え、

20 上記複数の微粒子は、上記第3電極と第4電極との間に所定の電圧を印加した前後で、上記第1の電極と第2の電極との間の電気抵抗を変化させるように配置されていることを特徴とする抵抗変化機能体。

23. 請求項22に記載の抵抗変化機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とするメモリ。

25 24. 請求項2に記載の抵抗変化機能体を製造する製造方法であって、

上記第1物質からなる物体中に上記微粒子を形成するための第2物質を負イオン注入法により注入する工程を含むことを特徴とする抵抗変化機能体の製造方法。

25. 請求項24に記載の抵抗変化機能体の製造方法において、

上記負イオン注入が終了した後に、水素シンタを行う工程を含んでいることを

特徴とする抵抗変化機能体の製造方法。

26. 請求項24に記載の抵抗変化機能体の製造方法において、

上記負イオン注入が終了した後に、500℃以上の温度で熱処理を行う工程を含んでいることを特徴とする抵抗変化機能体の製造方法。

5 27. 請求項1に記載の抵抗変化機能体を備えるメモリ。

28. 請求項26に記載のメモリを有する回路。

29. 請求項27に記載の回路を備える電子機器。

30. 第1の導電体と第2の導電体との間に形成された第1の材料からなる媒体と、

10 上記媒体中に形成され、第2の材料で覆われていると共に第3の材料からなる少なくとも1つの微粒子とを備え、

上記第2の材料は、電荷の通り抜けに対する障壁として働く材料であり、

上記第3の材料は、電荷を保持する機能を有する材料であることを特徴とする抵抗変化機能体。

15 31. 請求項30に記載の抵抗変化機能体において、

上記第2の材料は、上記第3の材料が組成変化あるいは化学修飾されてなることを特徴とする抵抗変化機能体。

32. 請求項30に記載の抵抗変化機能体において、

20 上記第2の材料は、上記第3の材料が酸化または窒化されてなることを特徴とする抵抗変化機能体。

Fig. 1A

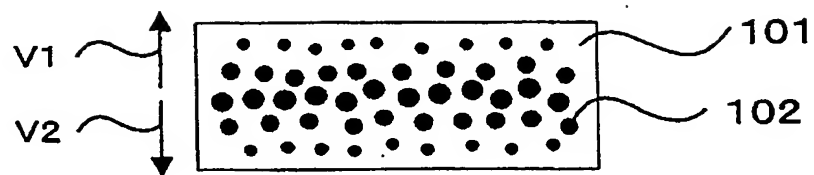


Fig. 1B

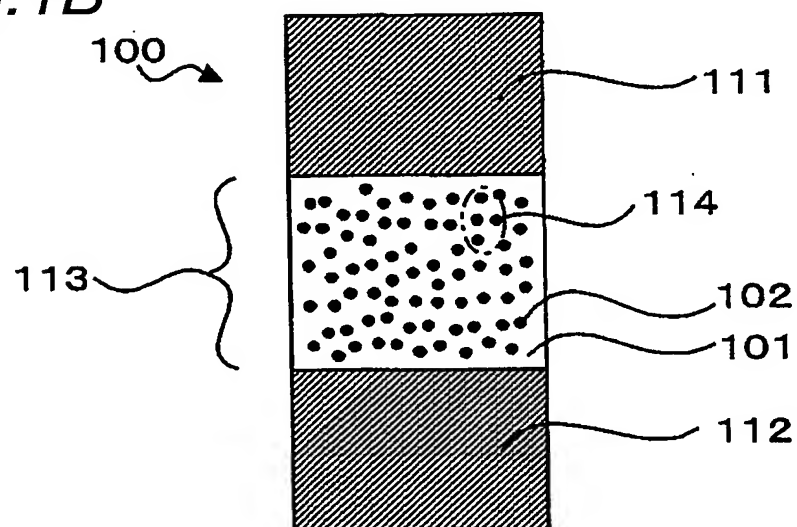


Fig. 1C

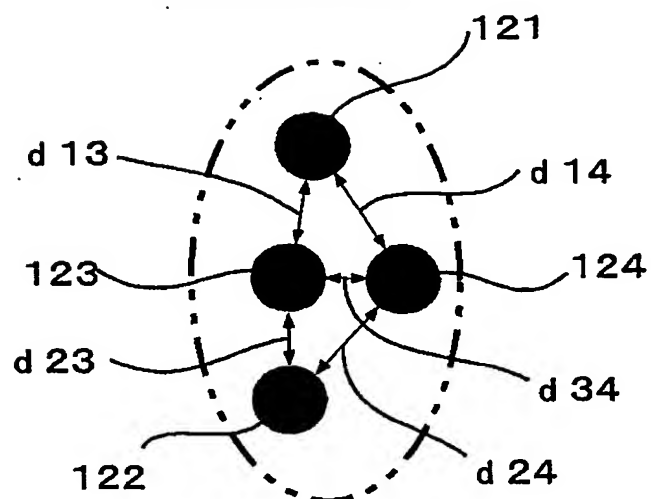


Fig.2

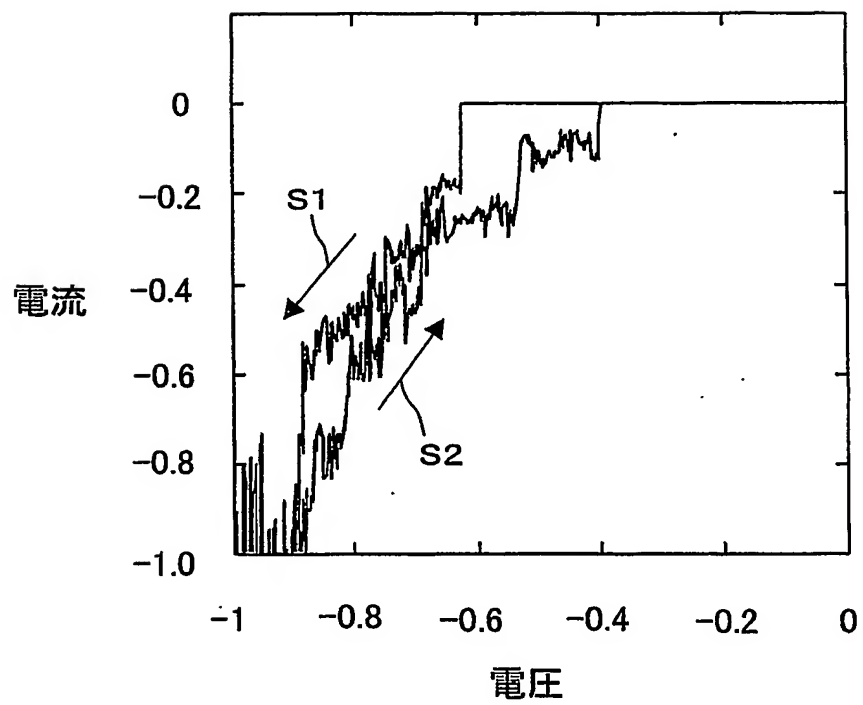


Fig.3A

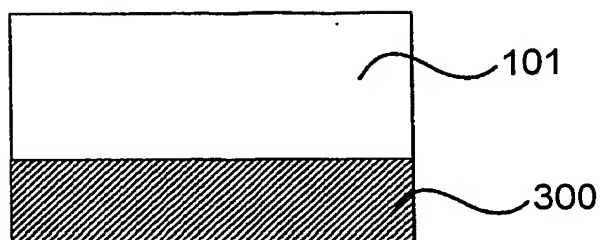


Fig.3B

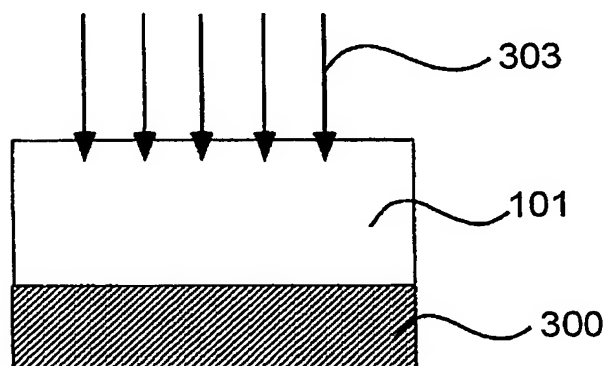


Fig.3C

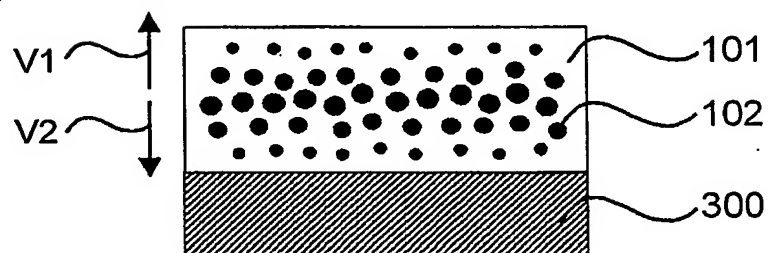
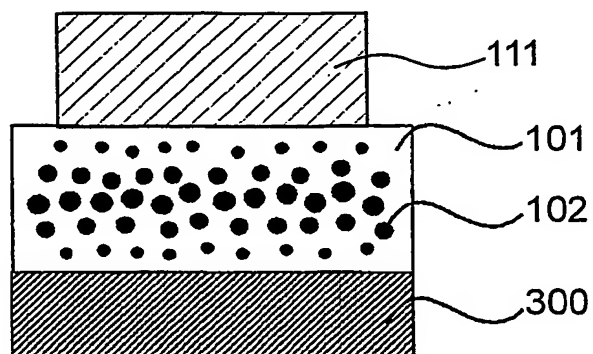


Fig.3D



*Fig.4*

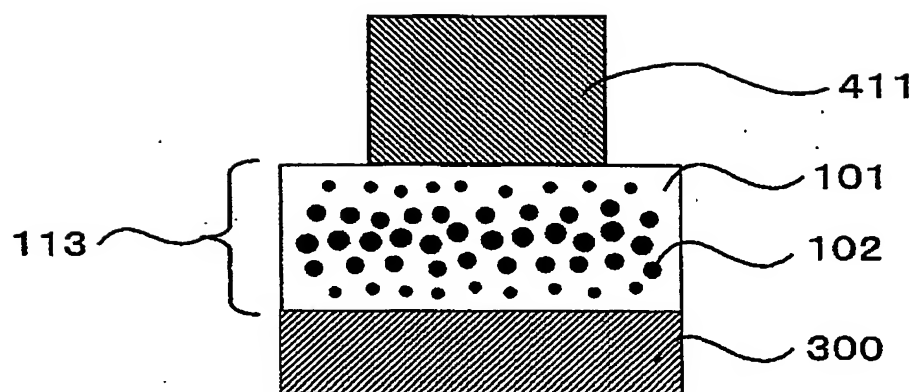
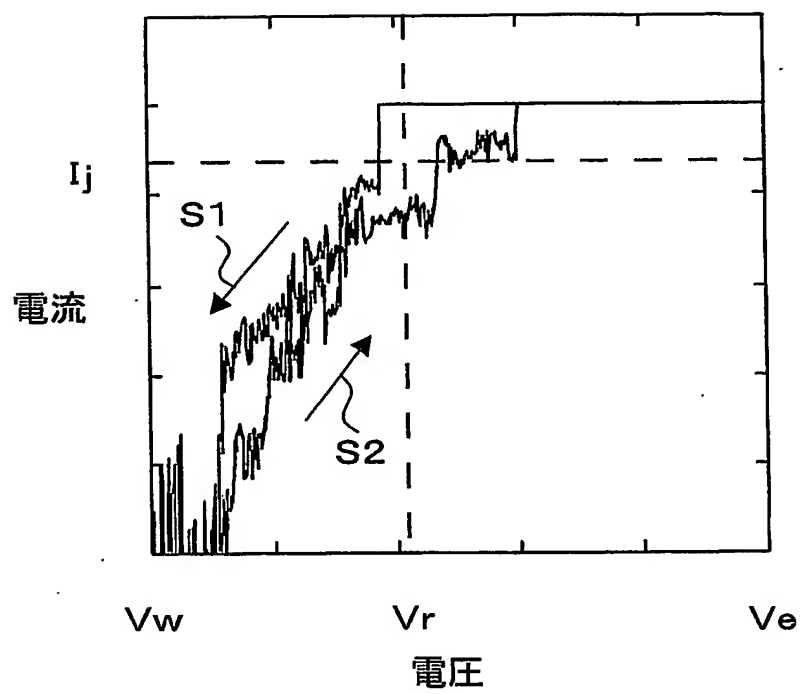
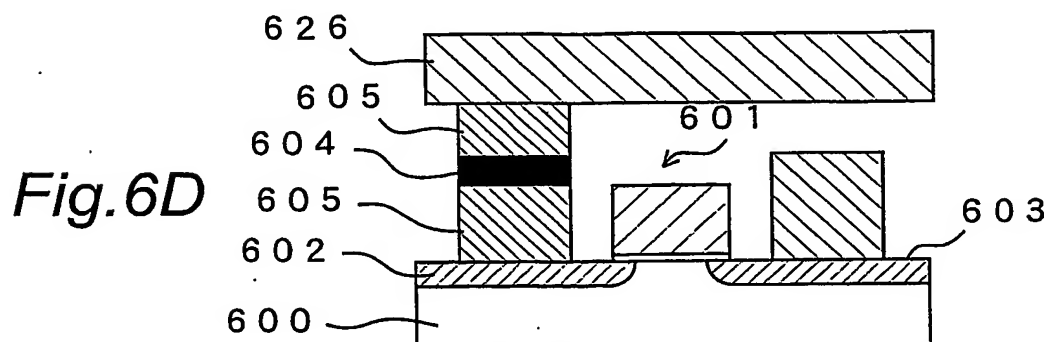
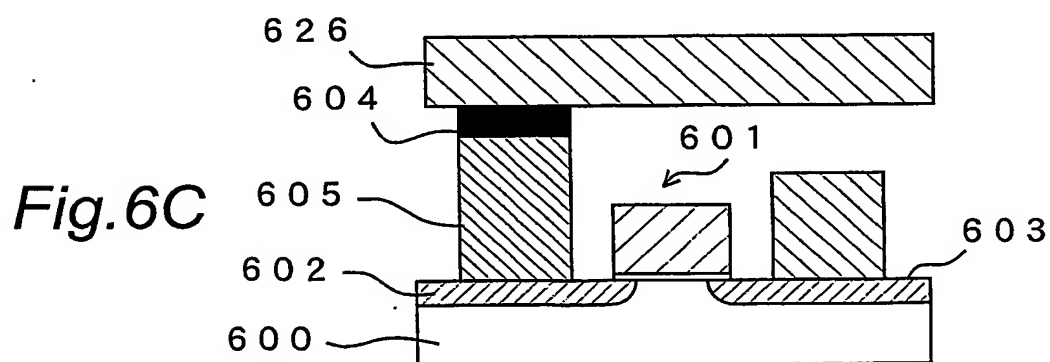
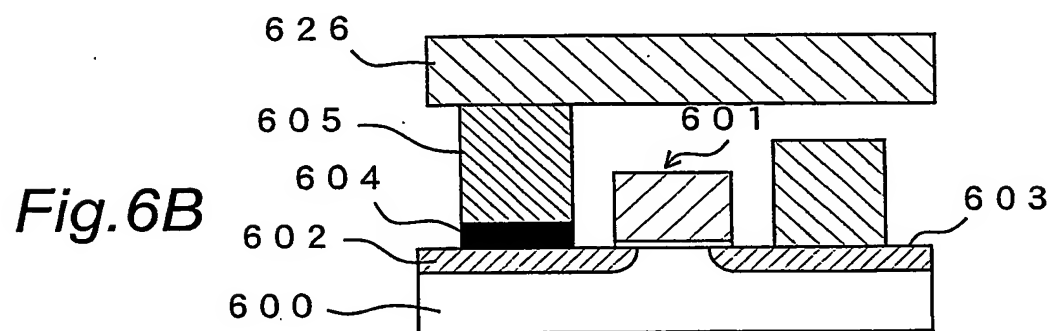
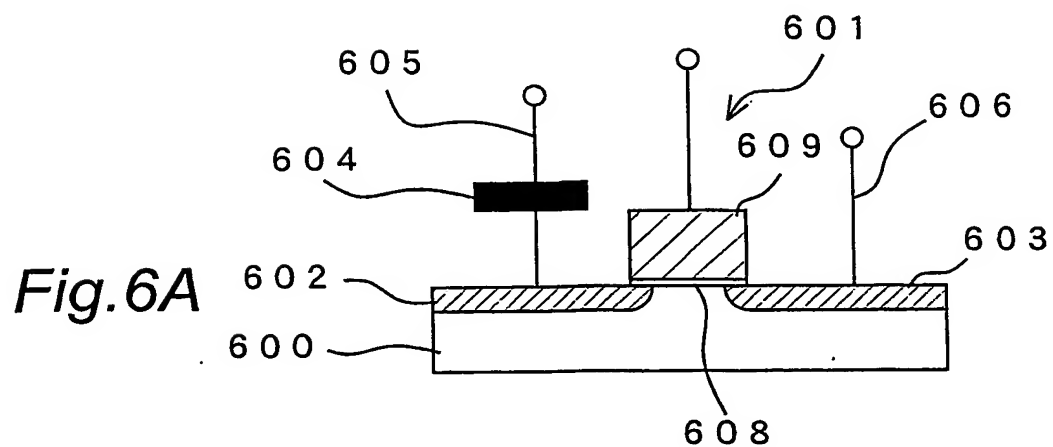


Fig.5



6/64





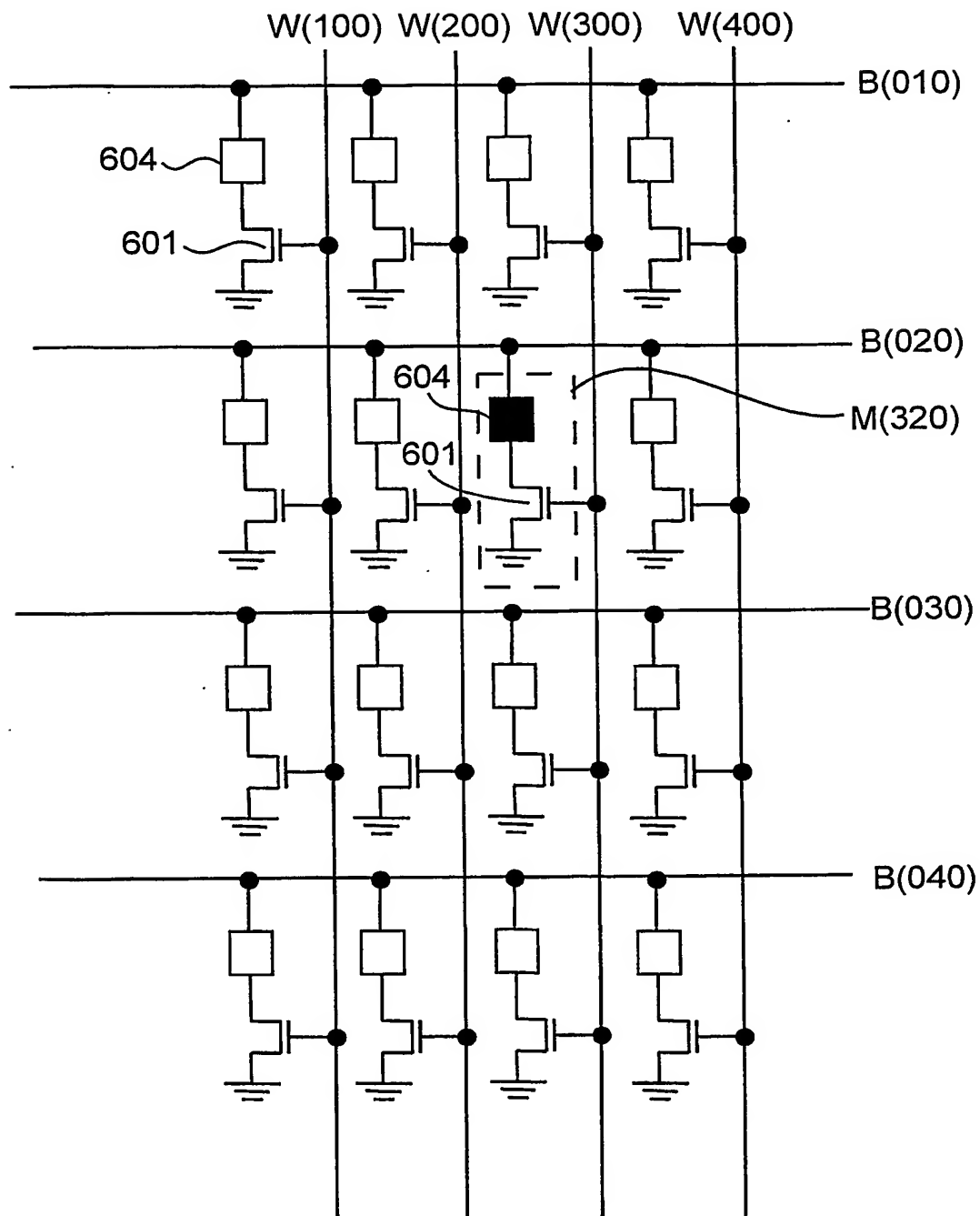
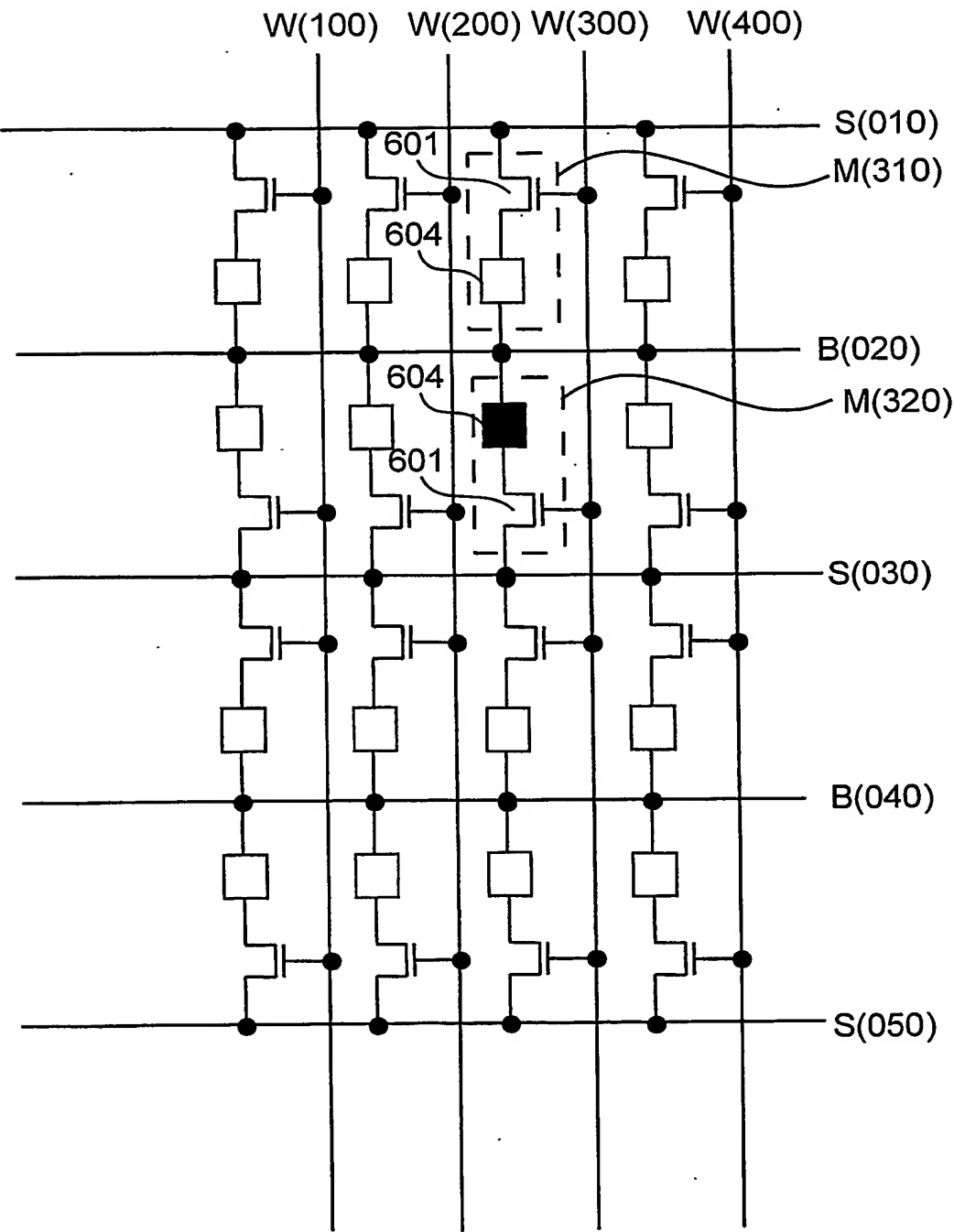
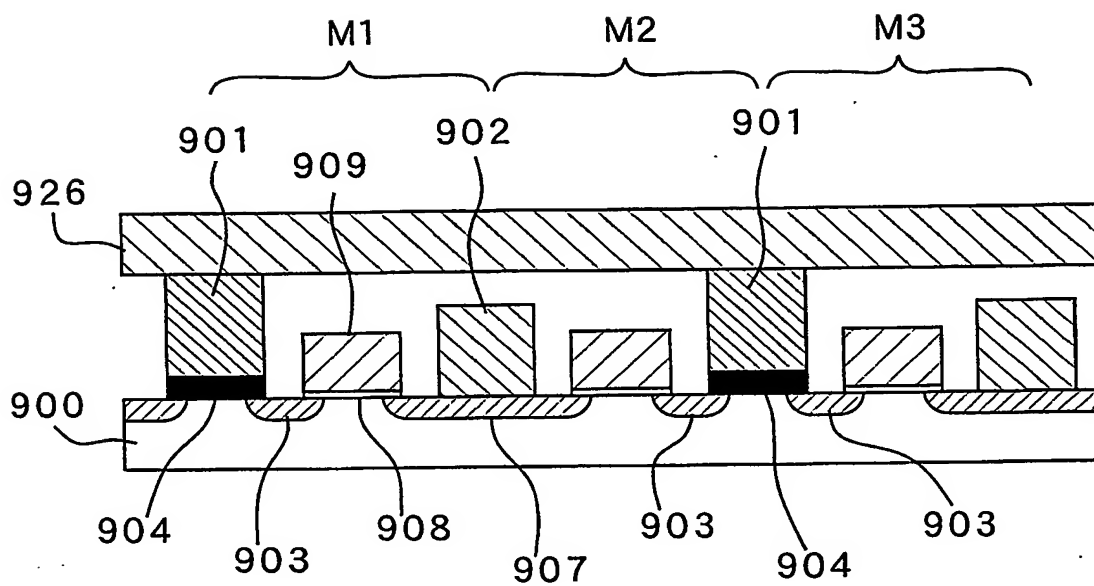
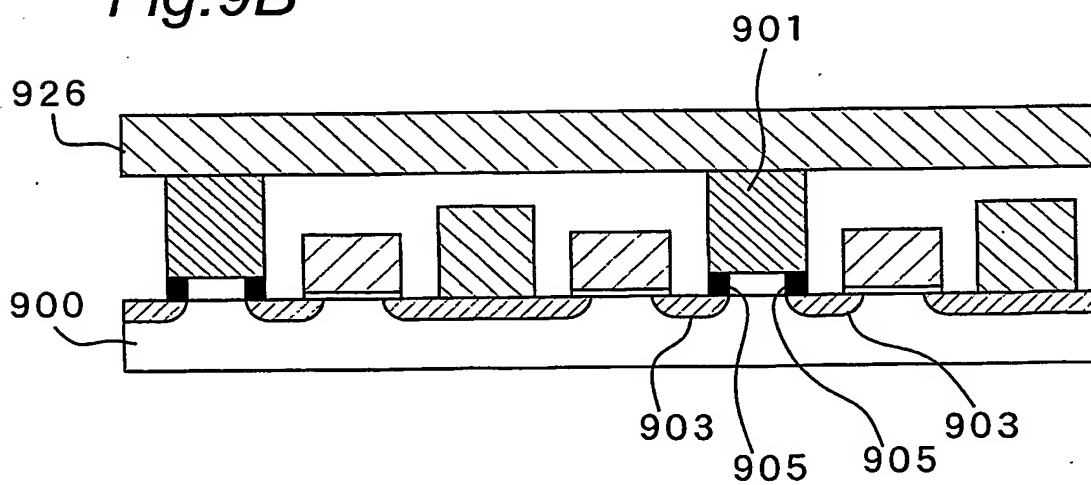
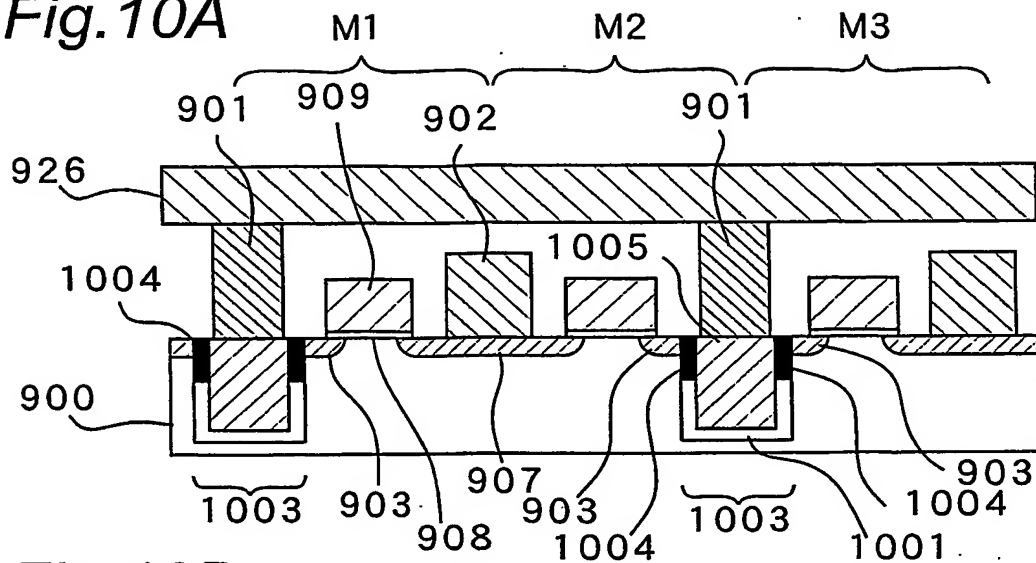
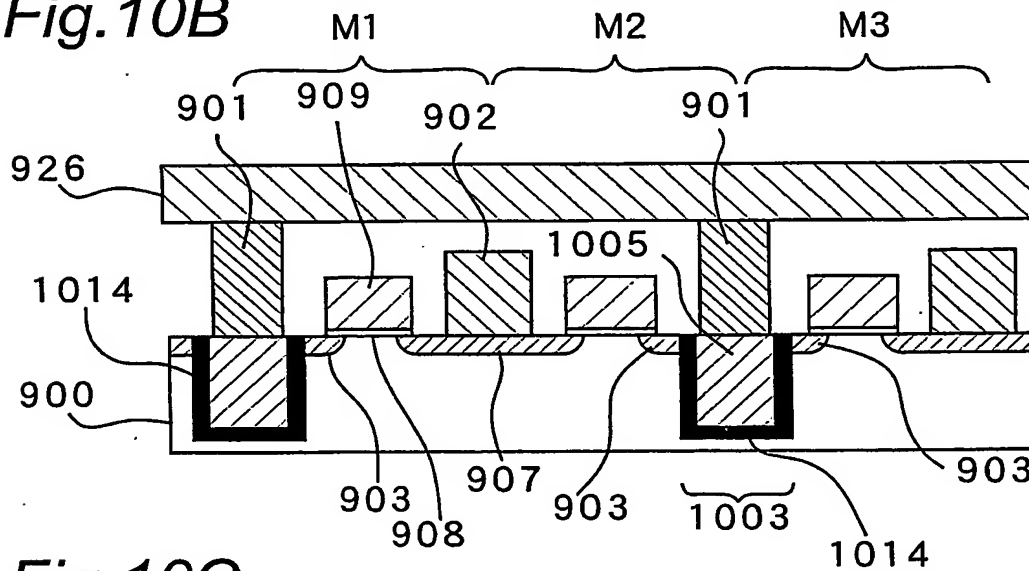
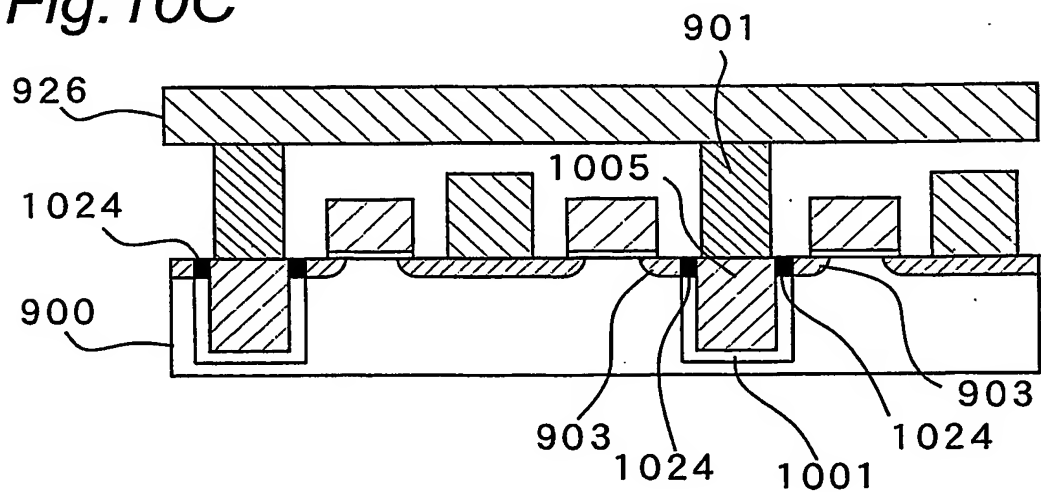
*Fig.7*

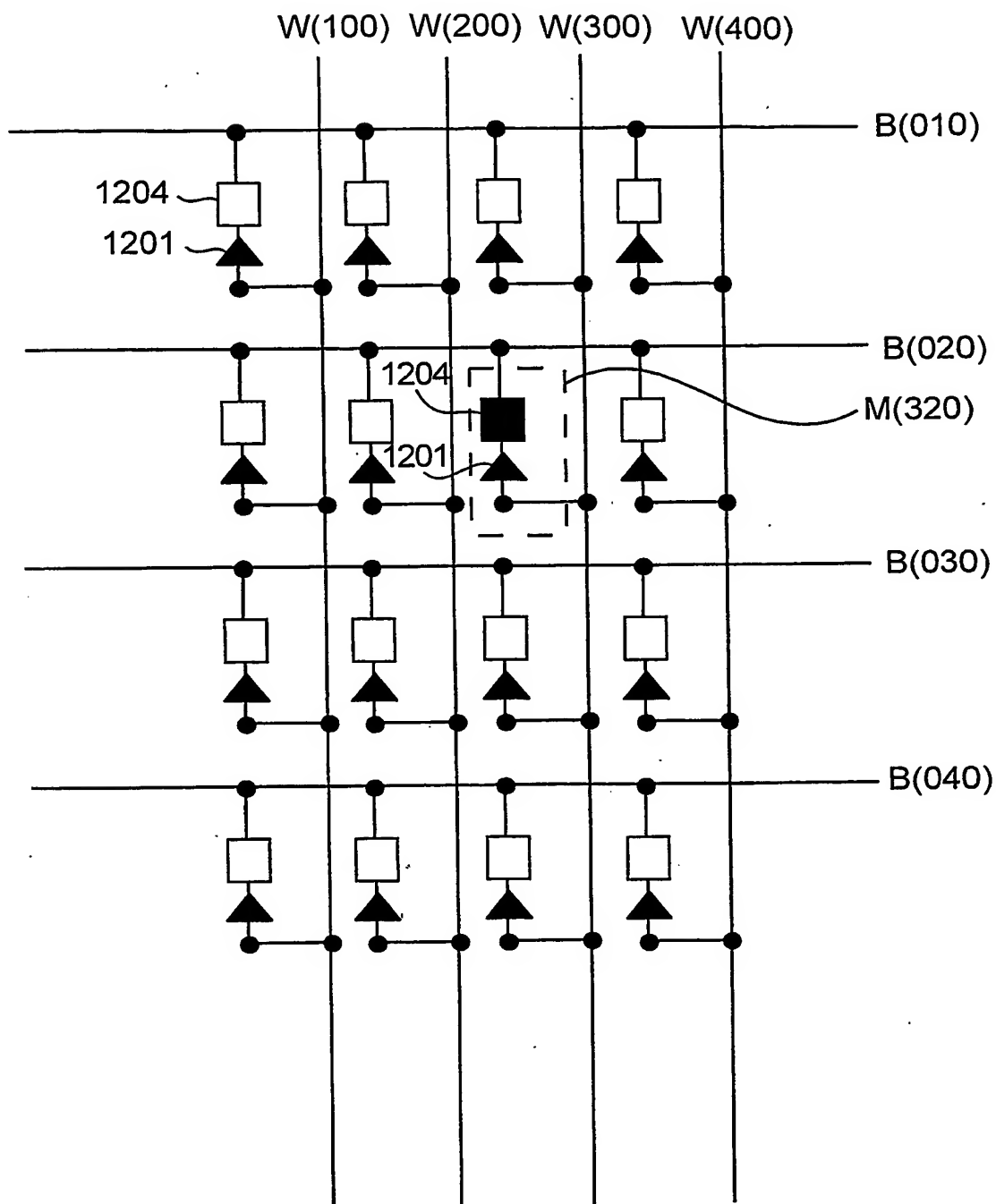
Fig.8



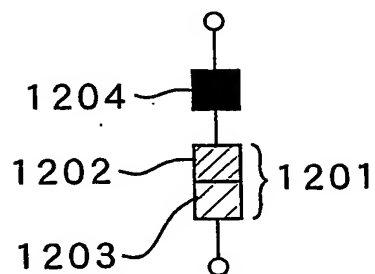
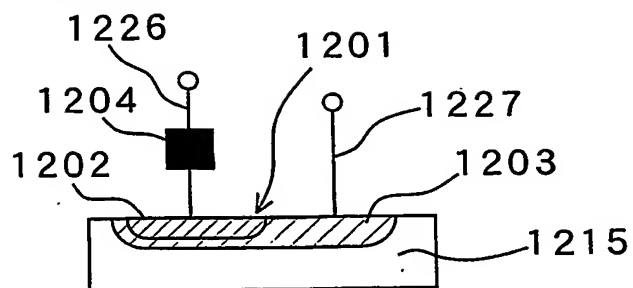
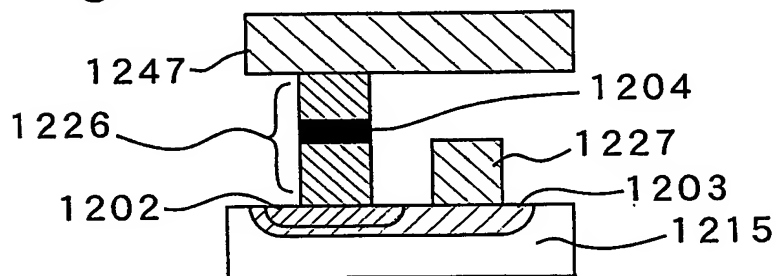
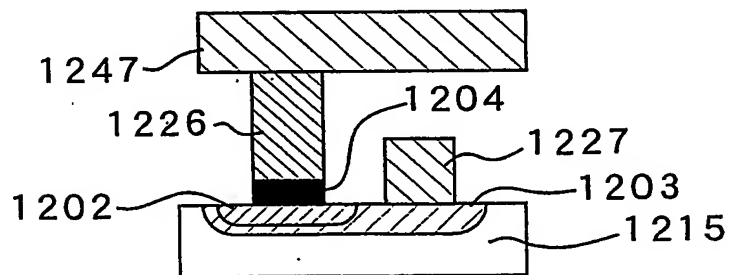
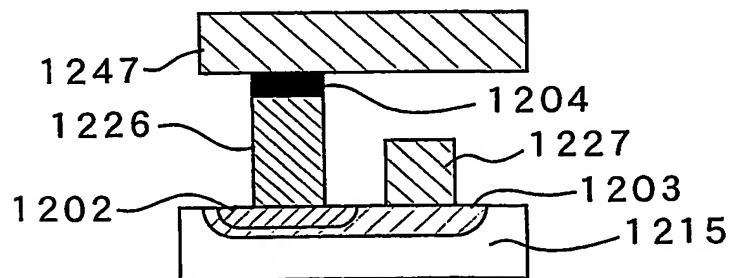
*Fig.9A**Fig.9B*

10/64

*Fig. 10A**Fig. 10B**Fig. 10C*

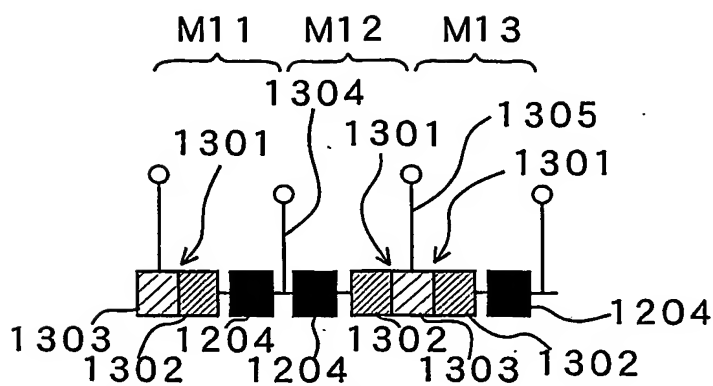
*Fig. 11*

12/64

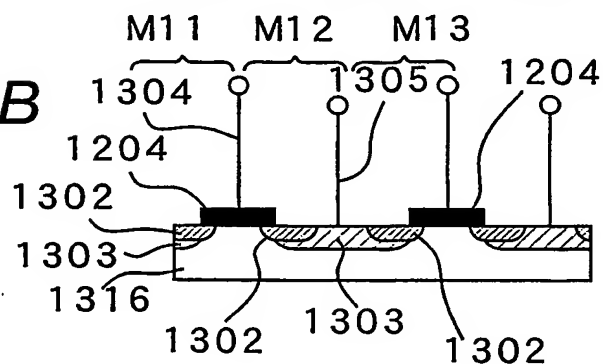
*Fig. 12A**Fig. 12B**Fig. 12C**Fig. 12D**Fig. 12E*

13/64

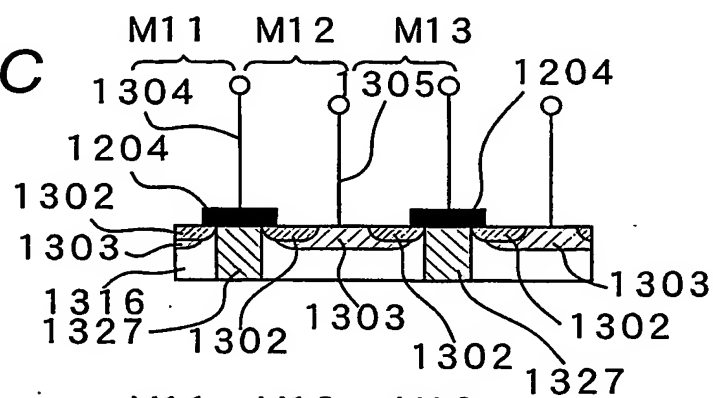
**Fig. 13A**



**Fig. 13B**



*Fig. 13C*



*Fig. 13D*

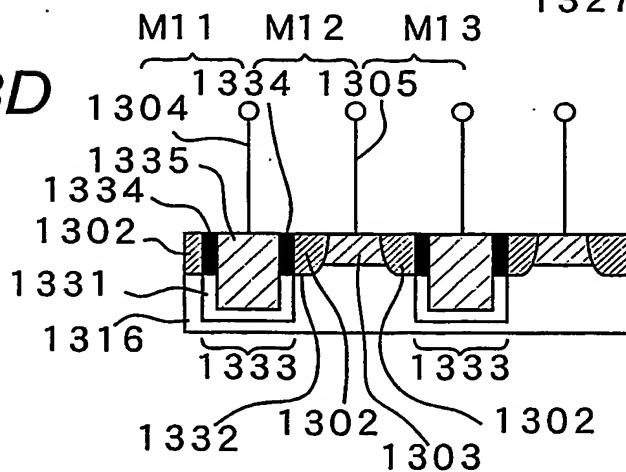
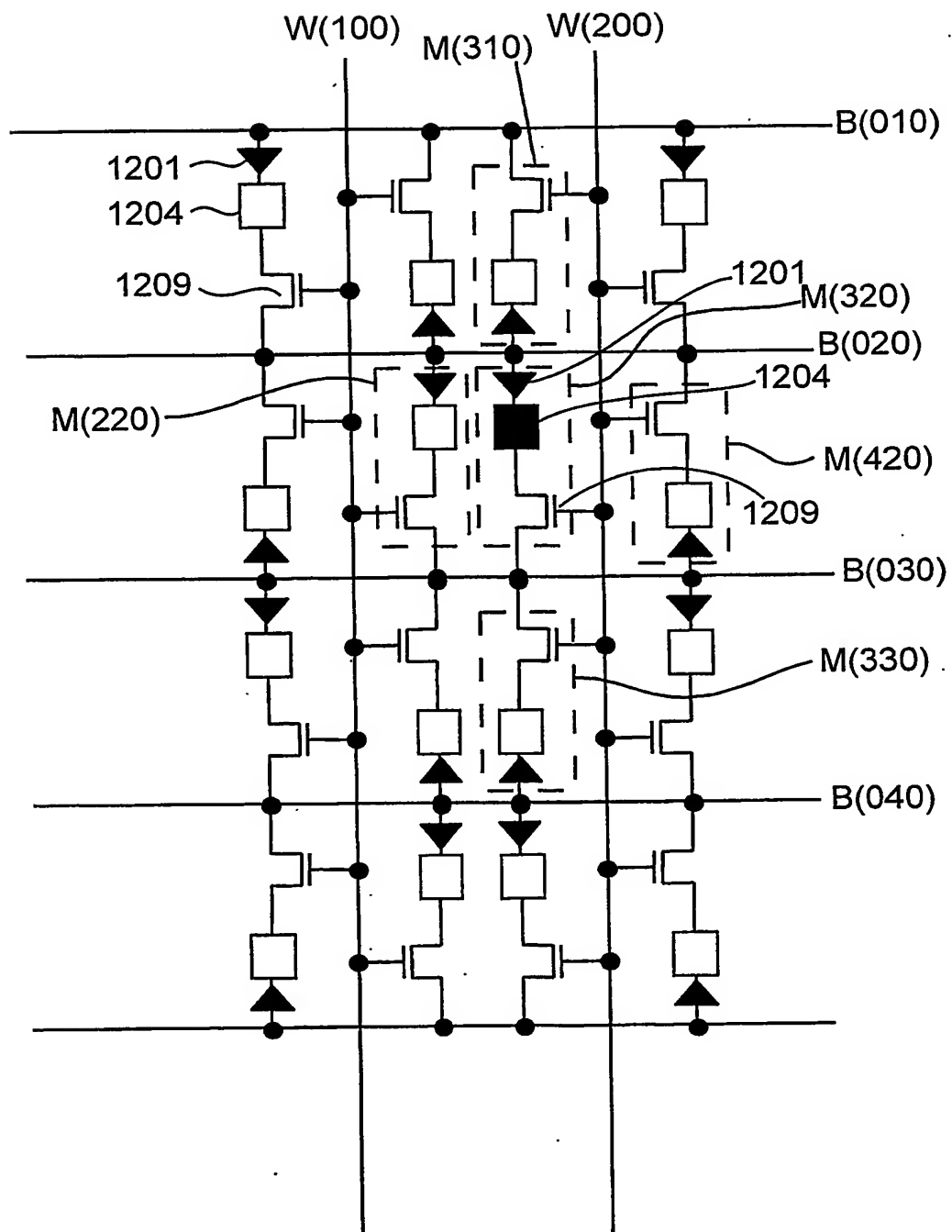
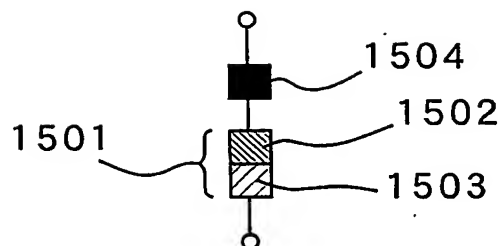
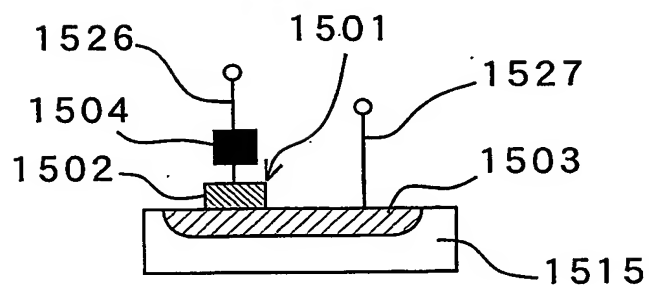
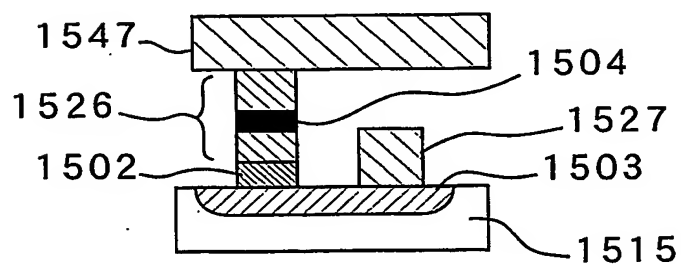
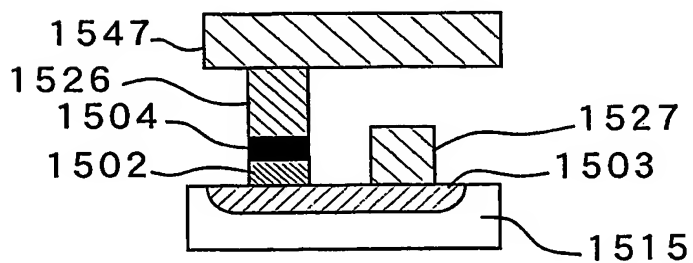
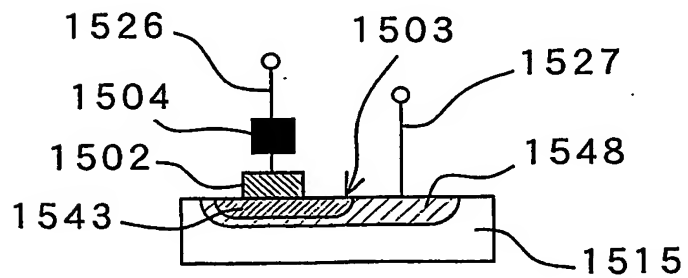


Fig. 14





15/64

*Fig. 15A**Fig. 15B**Fig. 15C**Fig. 15D**Fig. 15E*

16/64

Fig. 16A

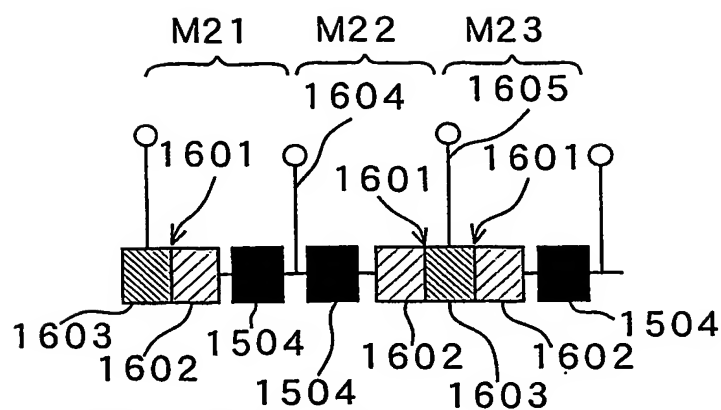


Fig. 16B

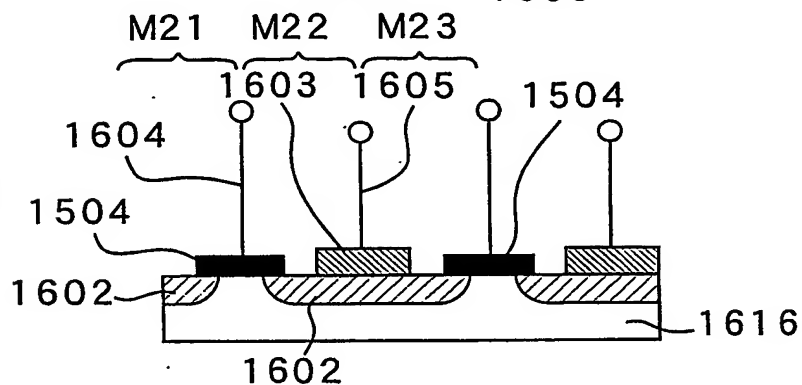


Fig. 16C

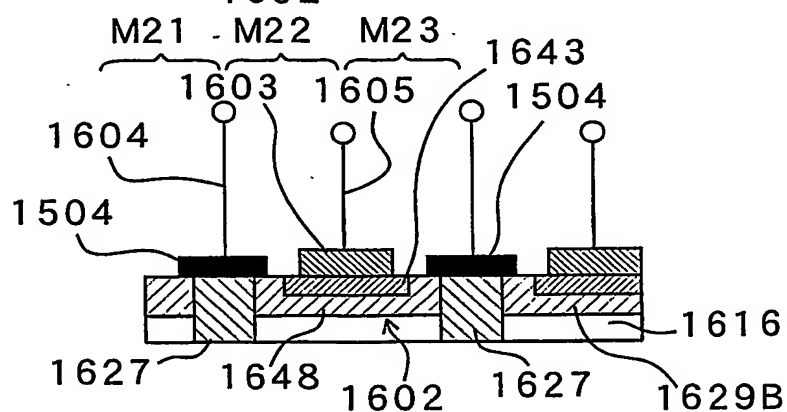
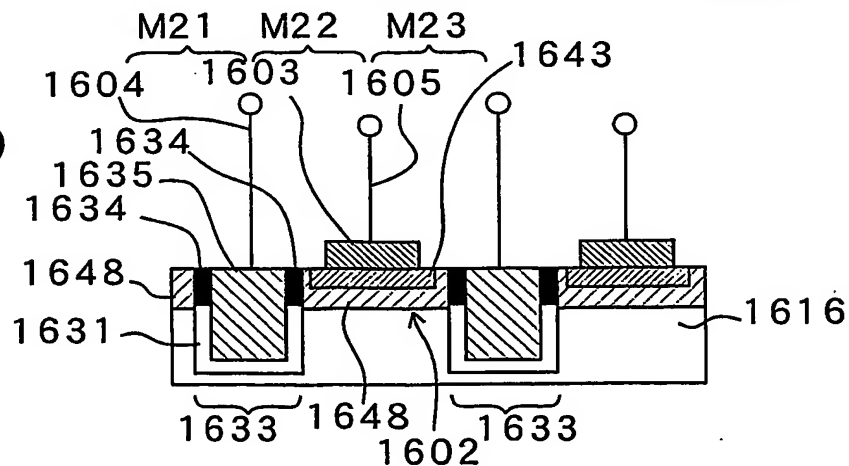
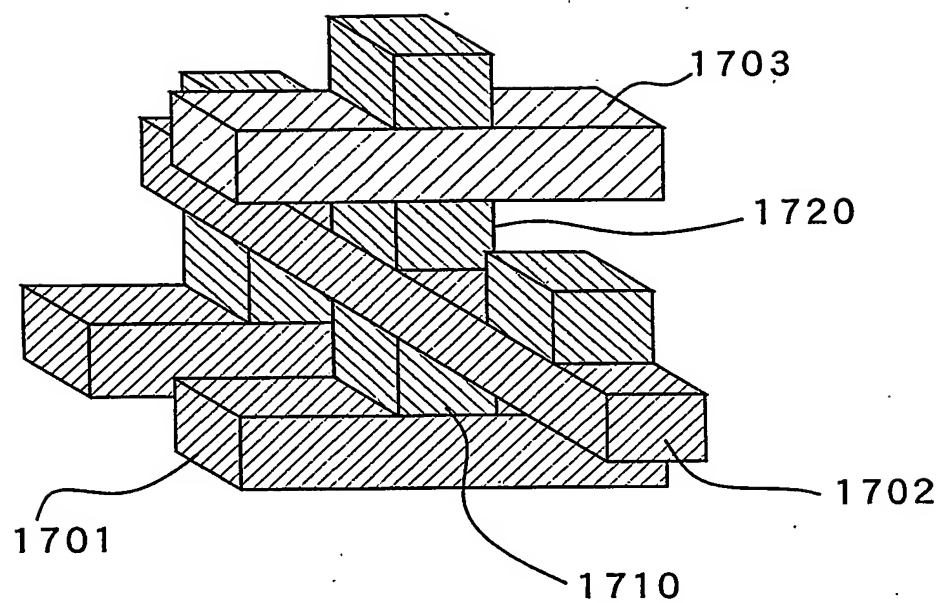
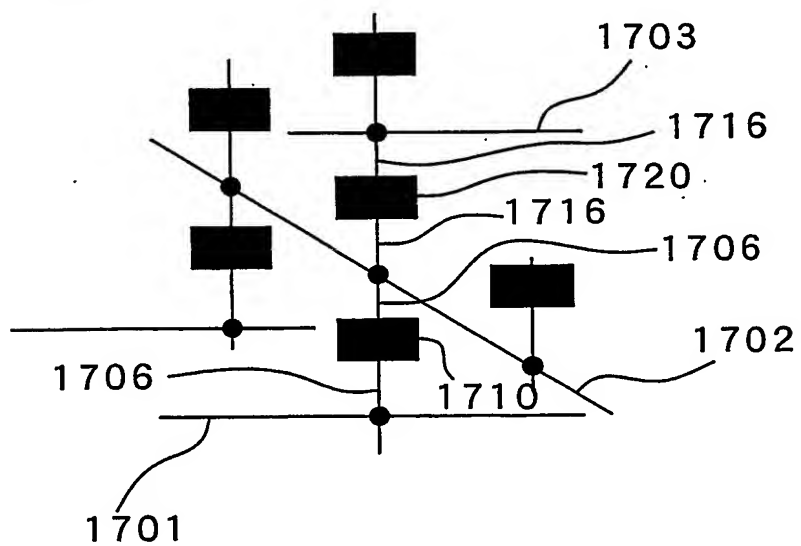
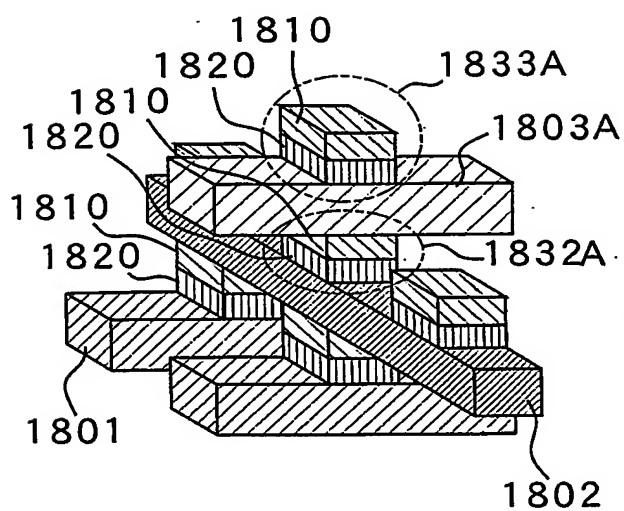
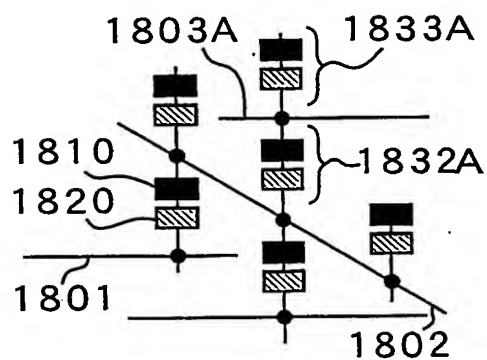
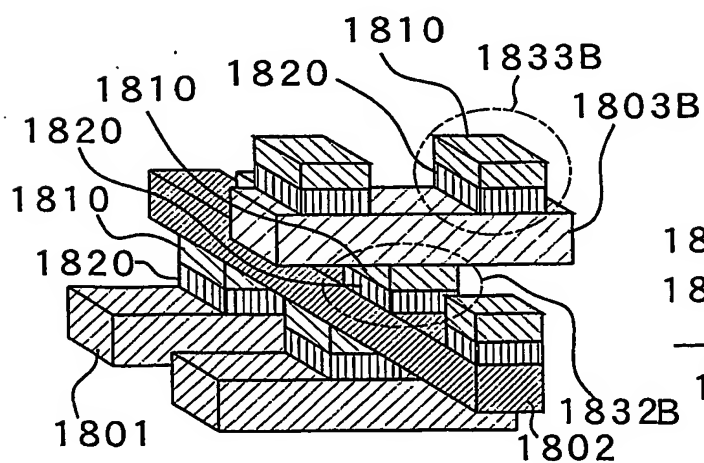
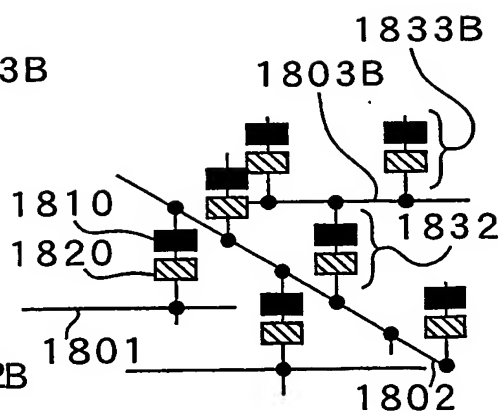


Fig. 16D

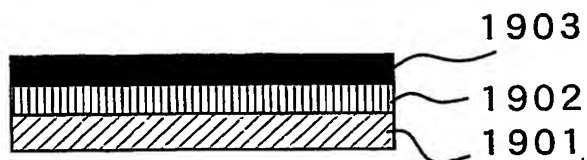
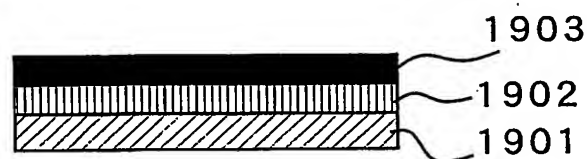
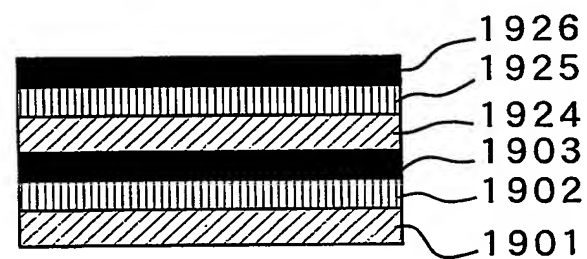
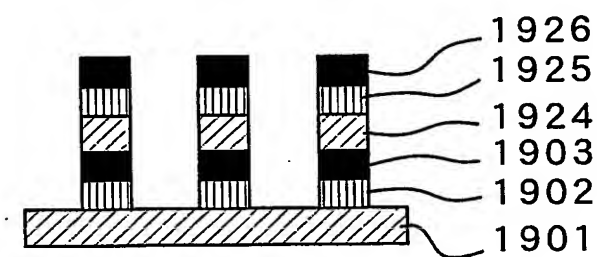
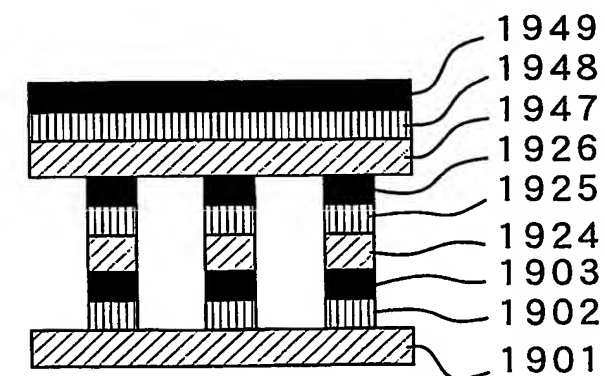


17/64

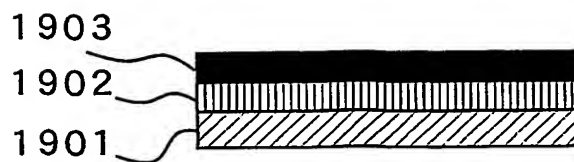
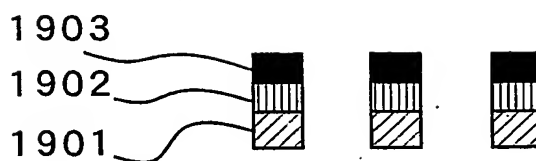
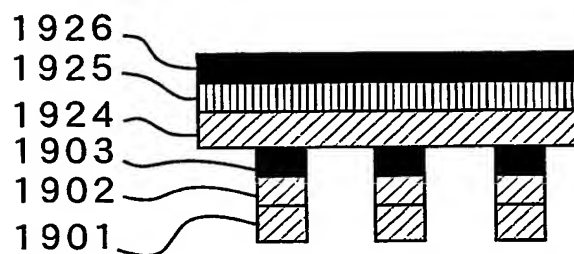
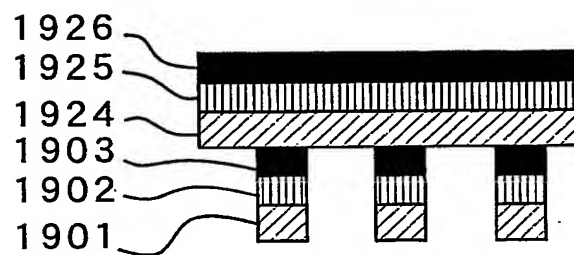
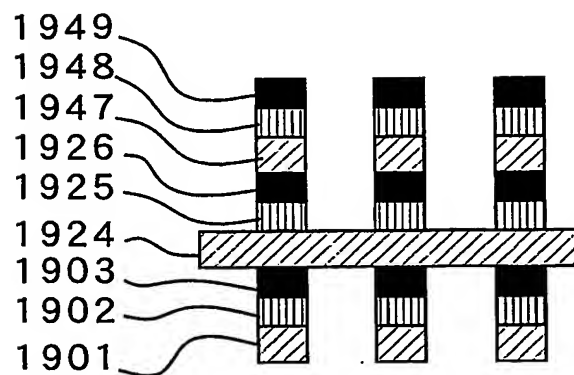
*Fig.17A**Fig.17B*

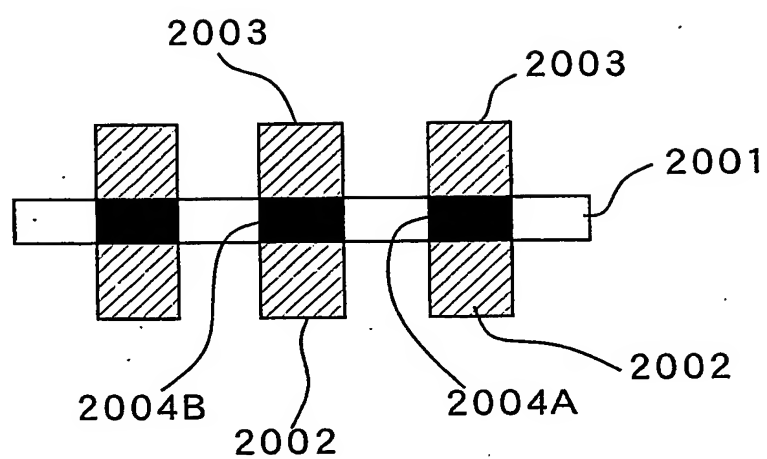
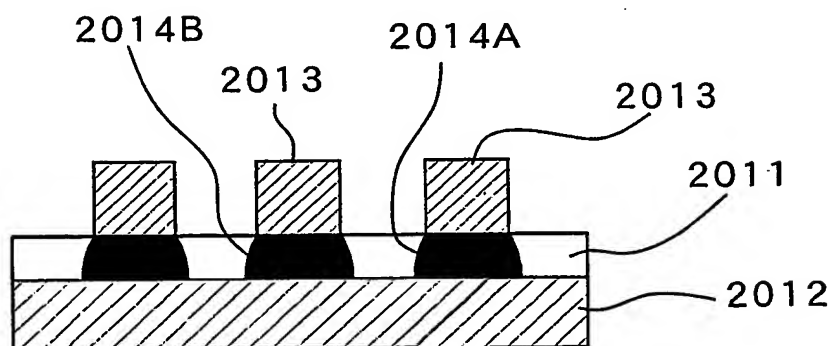
*Fig. 18A**Fig. 18C**Fig. 18B**Fig. 18D*

19/64

*Fig. 19A**Fig. 19B**Fig. 19C**Fig. 19D**Fig. 19E*

20/64

*Fig. 19F**Fig. 19G**Fig. 19H**Fig. 19I**Fig. 19J*

*Fig.20A**Fig.20B*

22/64

Fig.21A

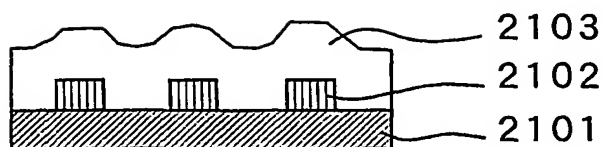


Fig.21B

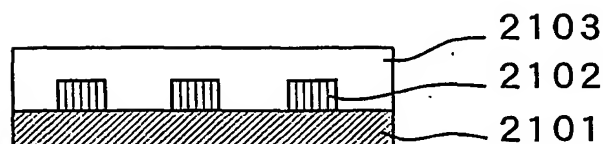


Fig.21C

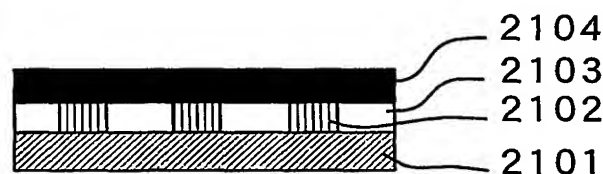


Fig.21D

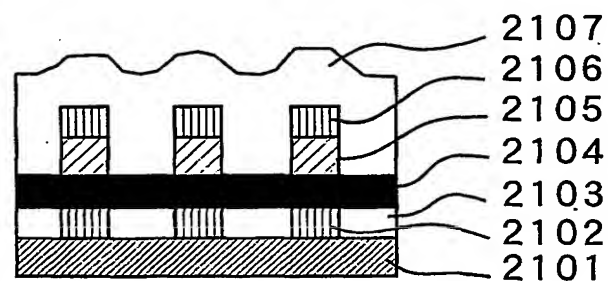
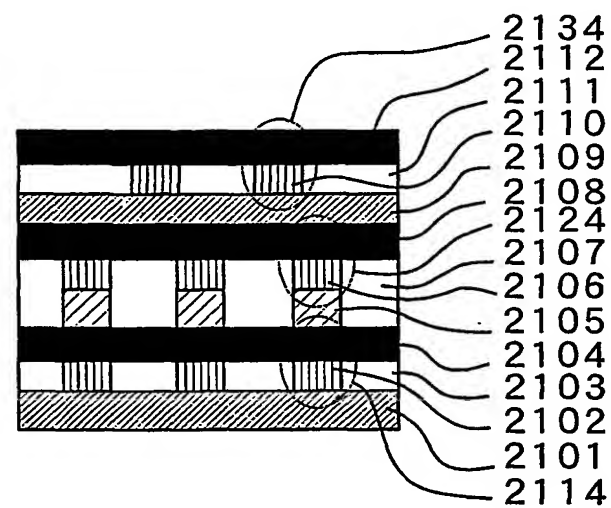


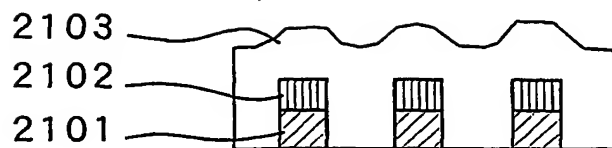
Fig.21E





23/64

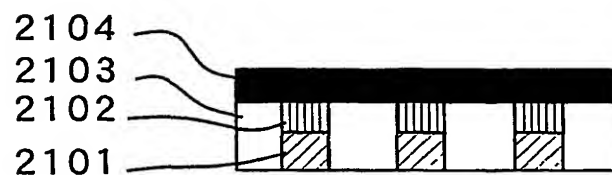
*Fig.21F*



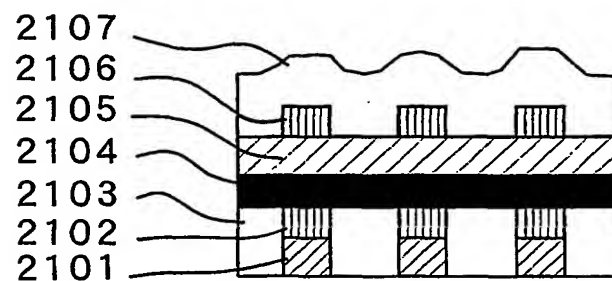
*Fig.21G*



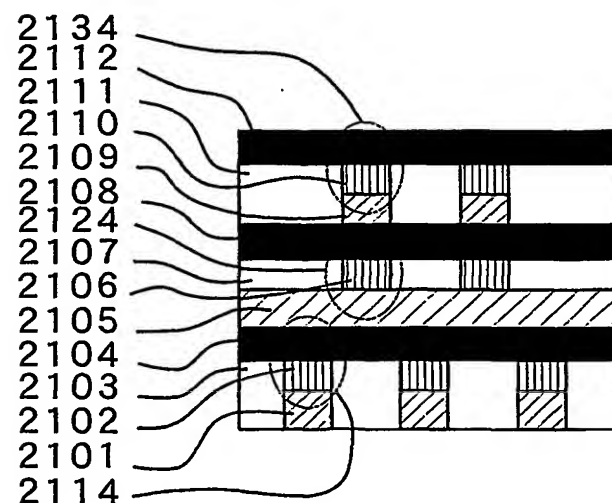
*Fig.21H*



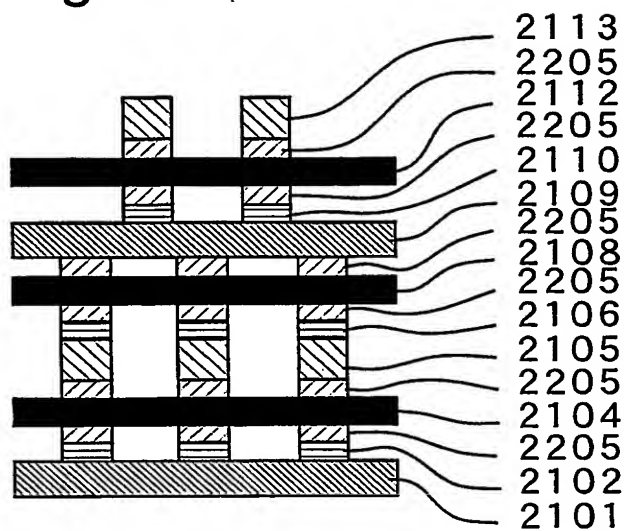
*Fig.21I*



*Fig.21J*



*Fig. 22A*



*Fig. 22B*

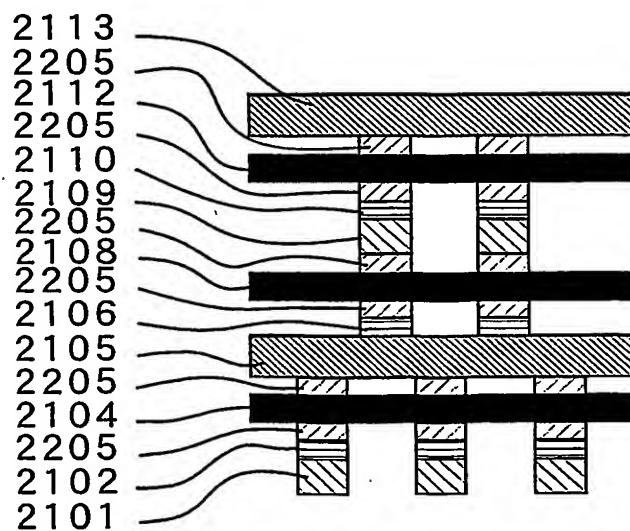


Fig.23A

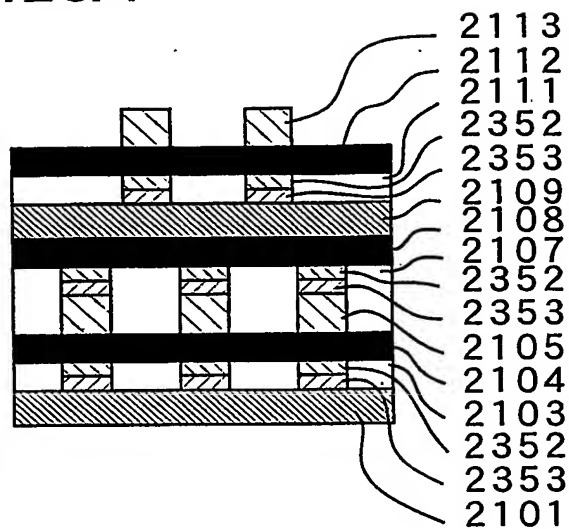


Fig.23B

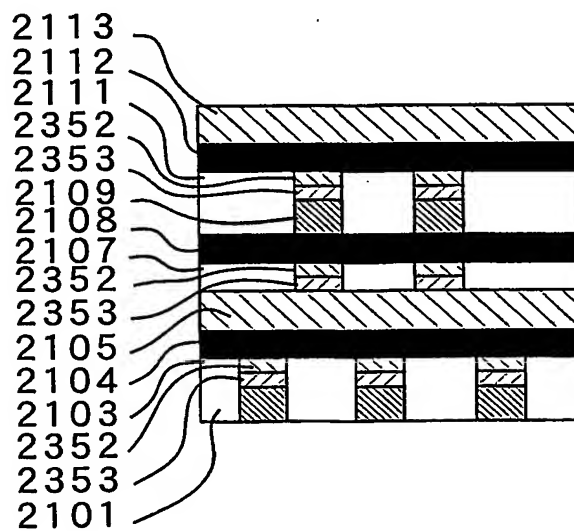


Fig.24A

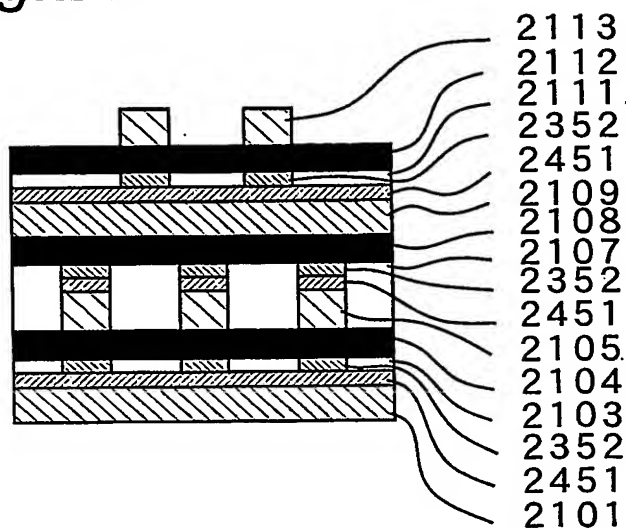
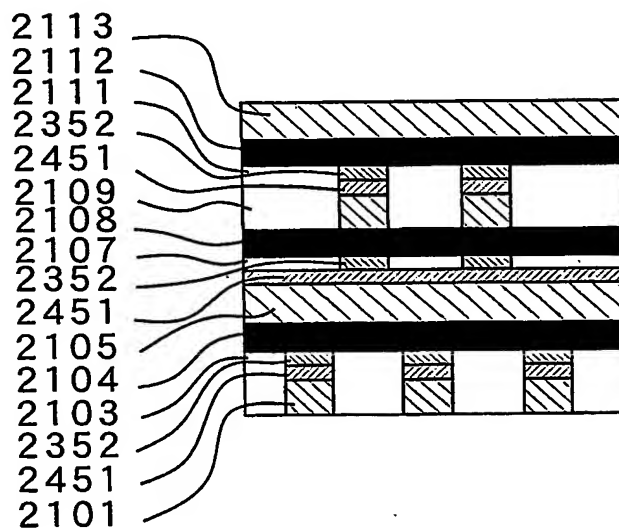
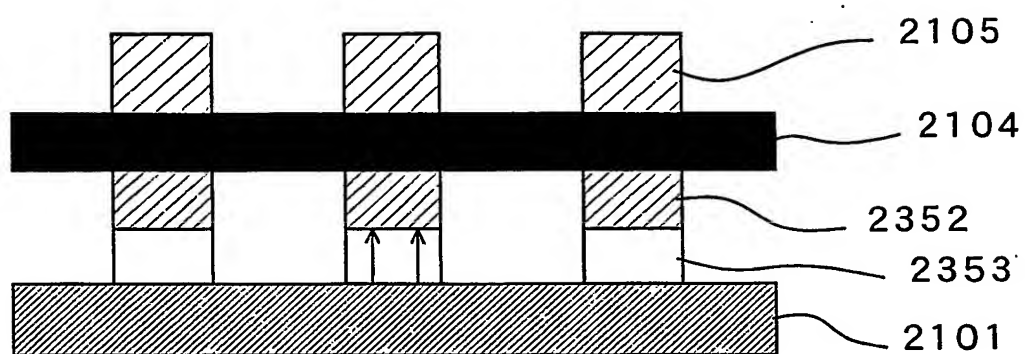
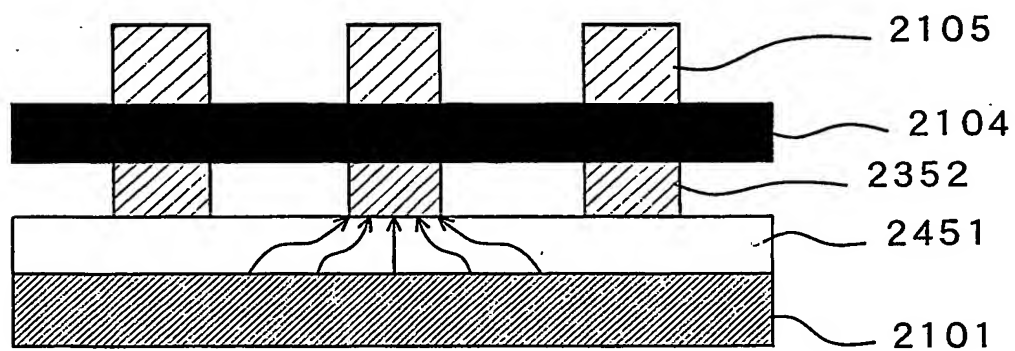
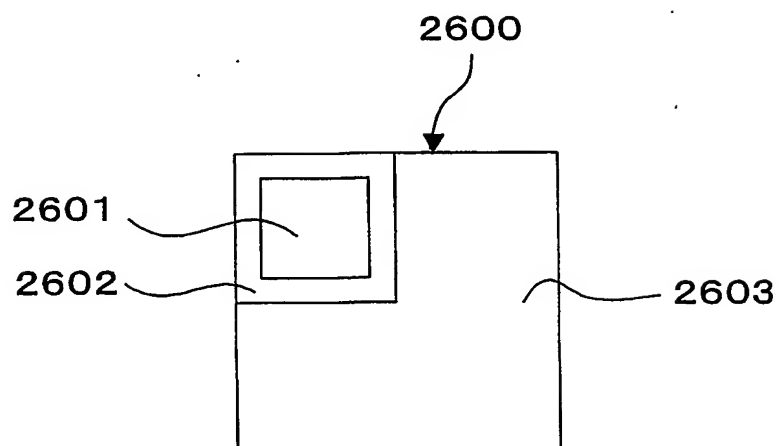
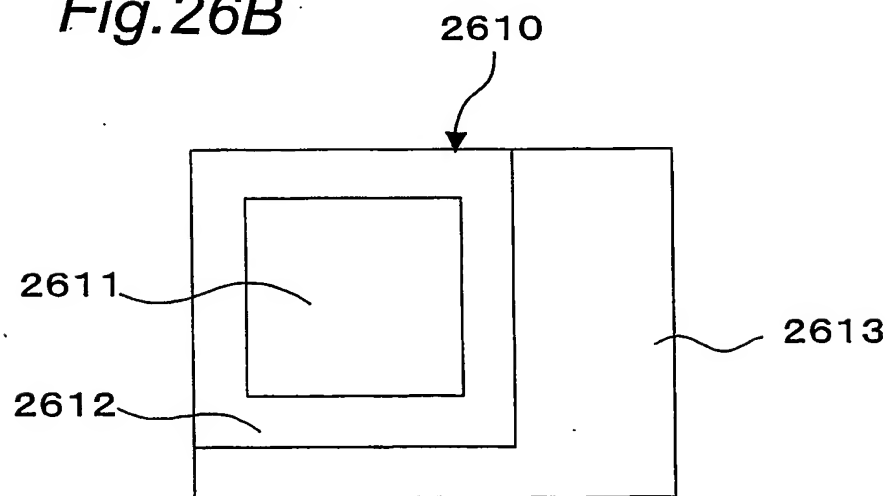
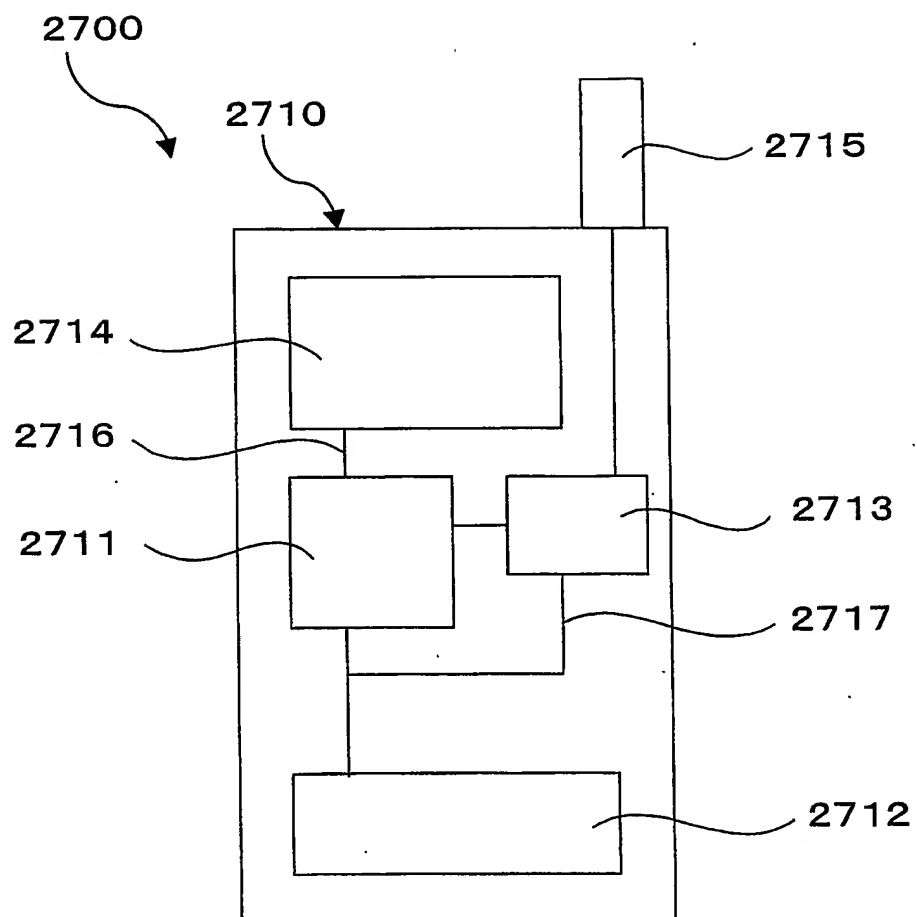


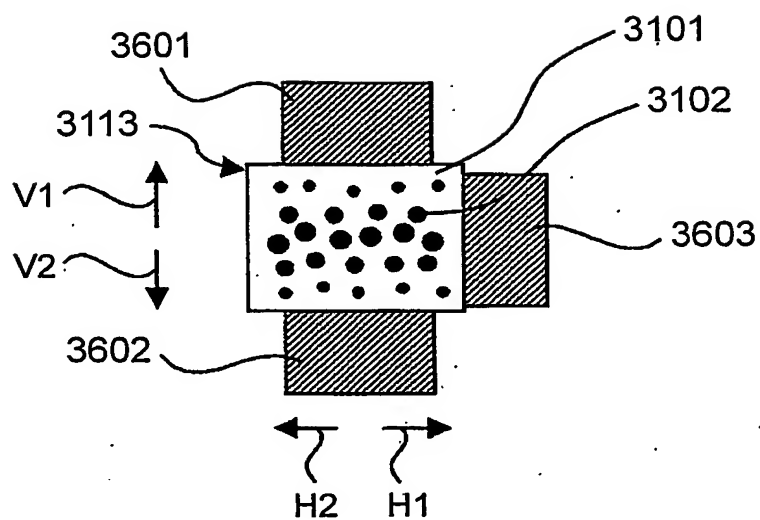
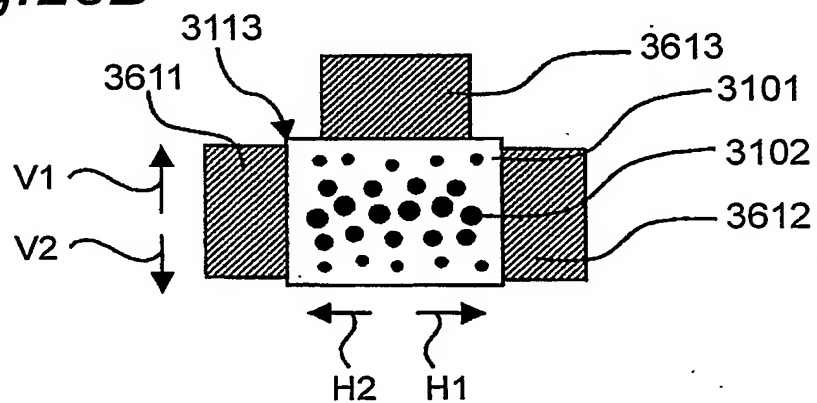
Fig.24B



*Fig. 25A**Fig. 25B*

*Fig.26A**Fig.26B*

*Fig.27*

*Fig.28A**Fig.28B*



31/64

Fig.29A

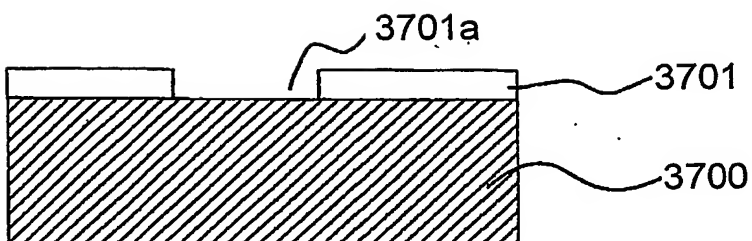


Fig.29B

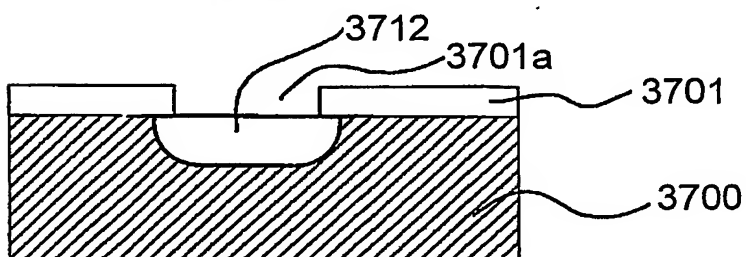


Fig.29C

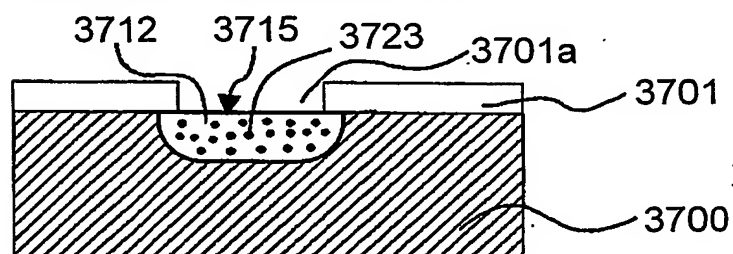


Fig.29D

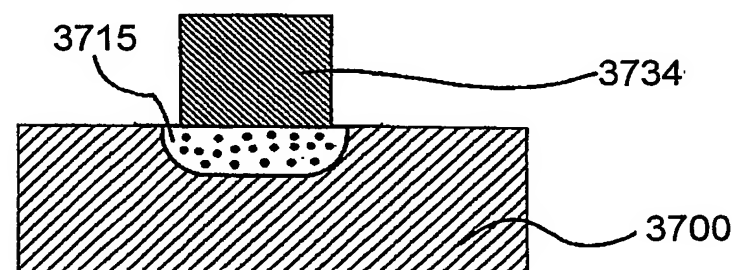
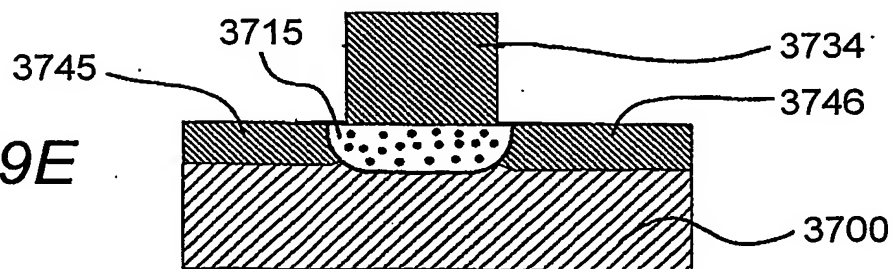


Fig.29E



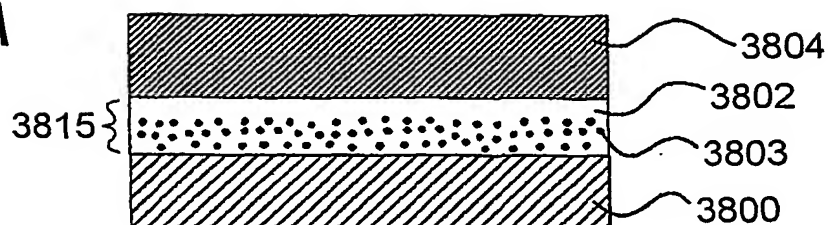
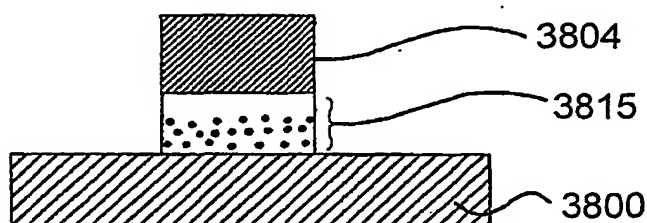
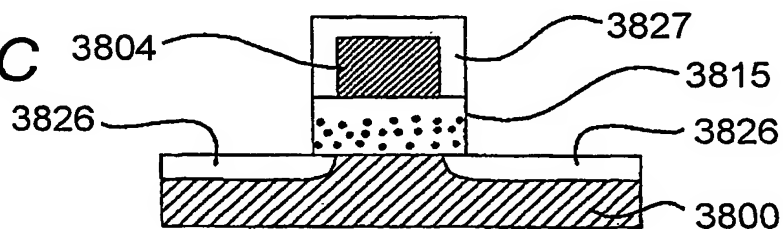
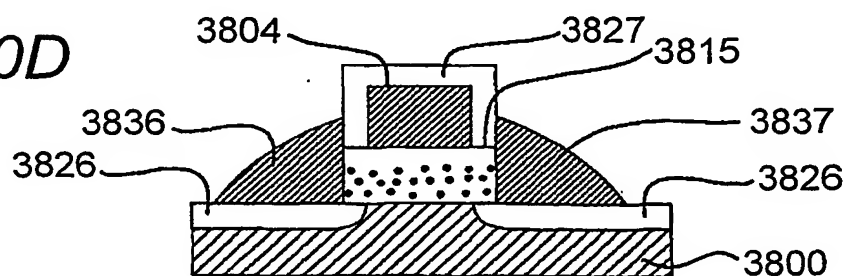
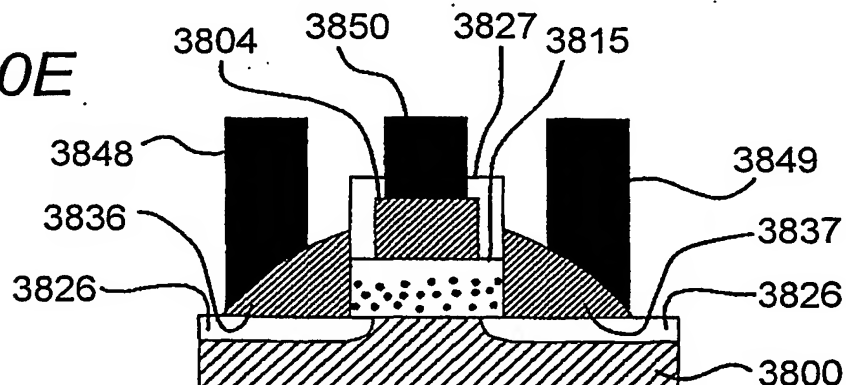
*Fig.30A**Fig.30B**Fig.30C**Fig.30D**Fig.30E*

Fig.31A

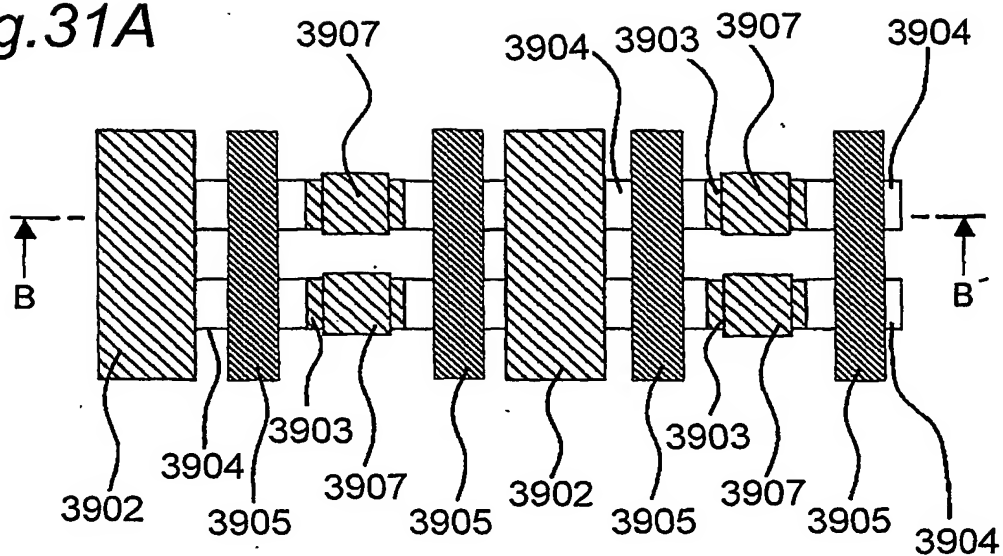
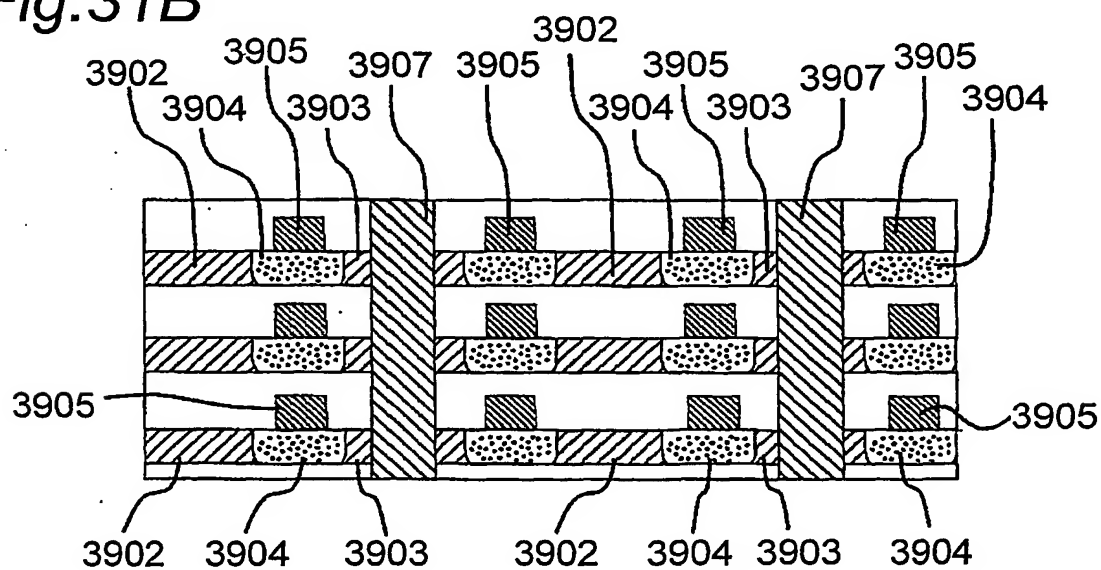


Fig.31B



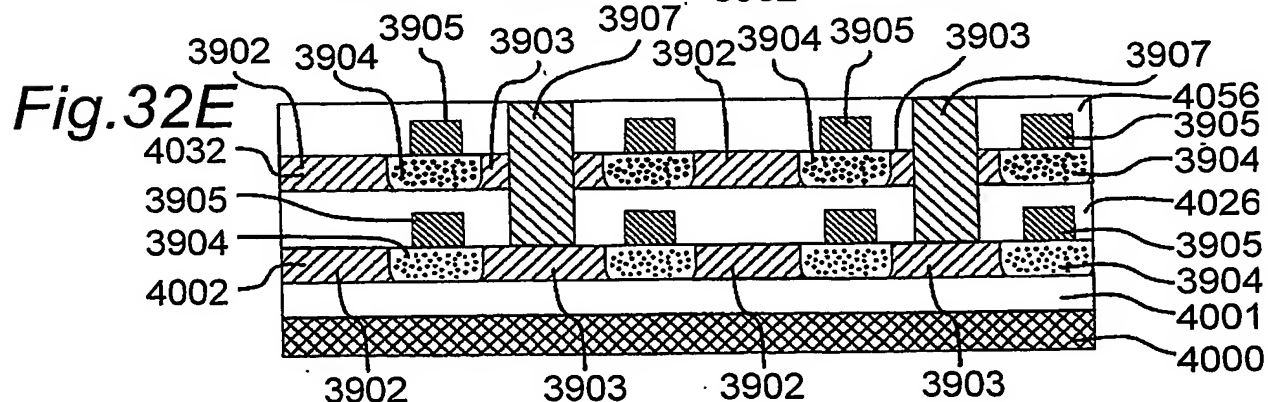
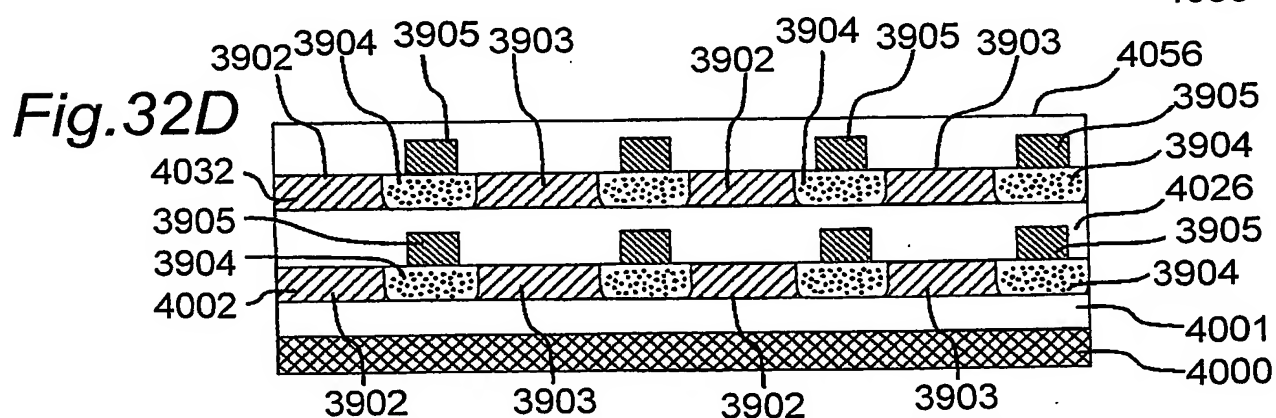
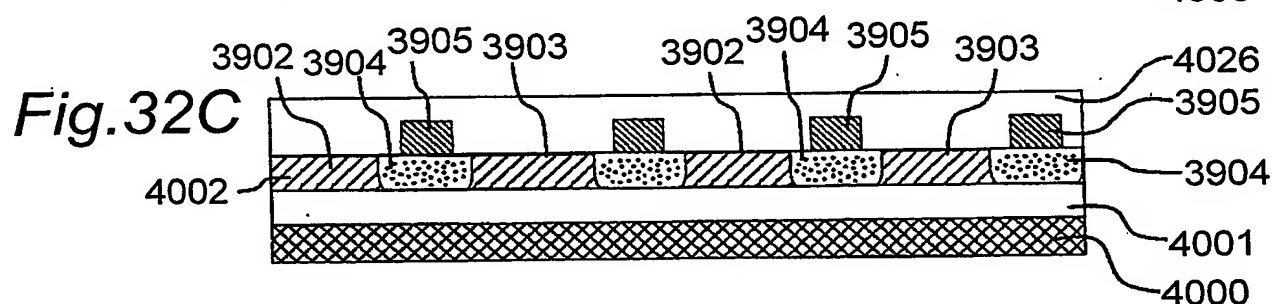
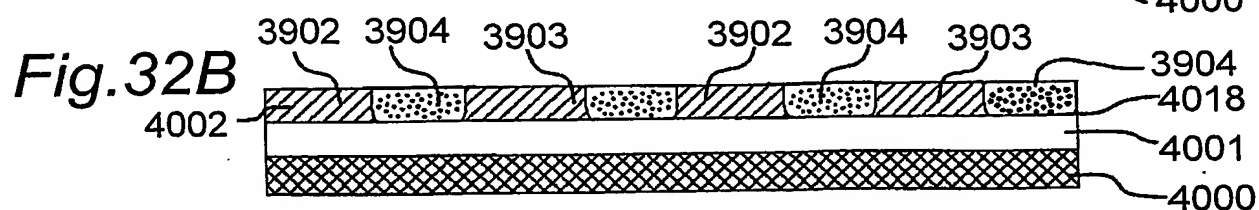
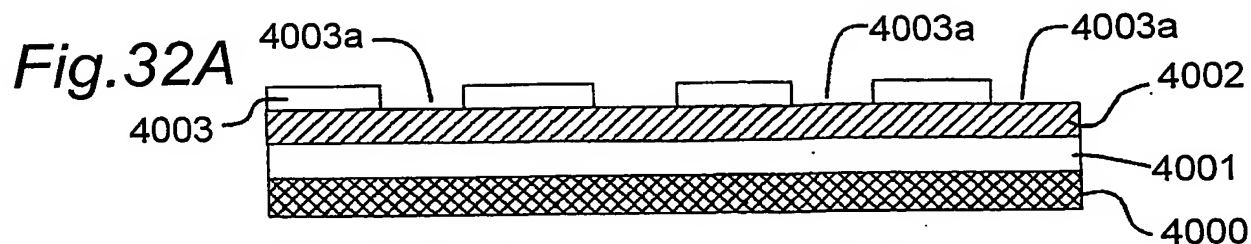


Fig.33A

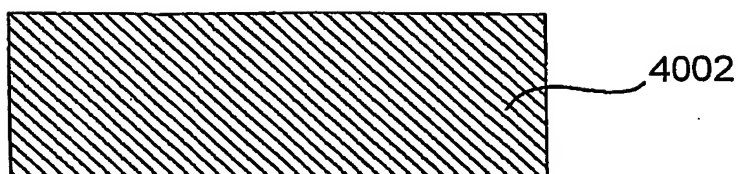


Fig.33B

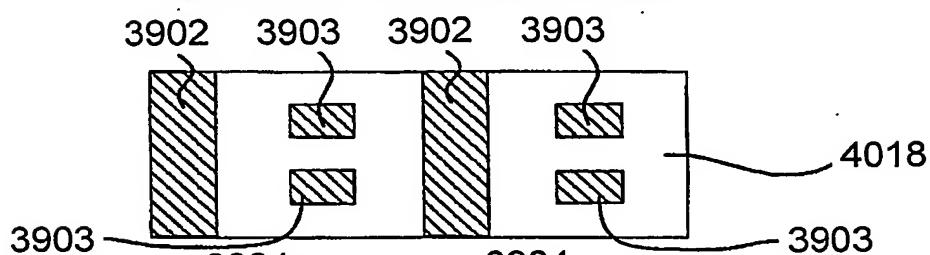


Fig.33C

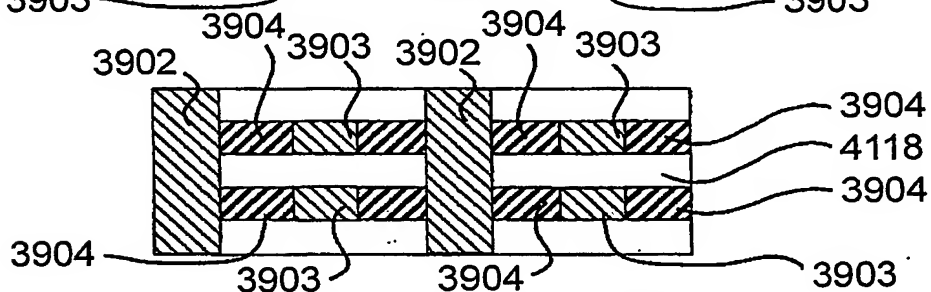


Fig.33D

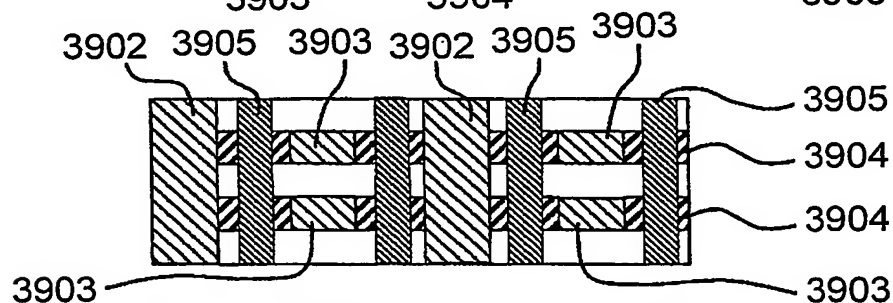
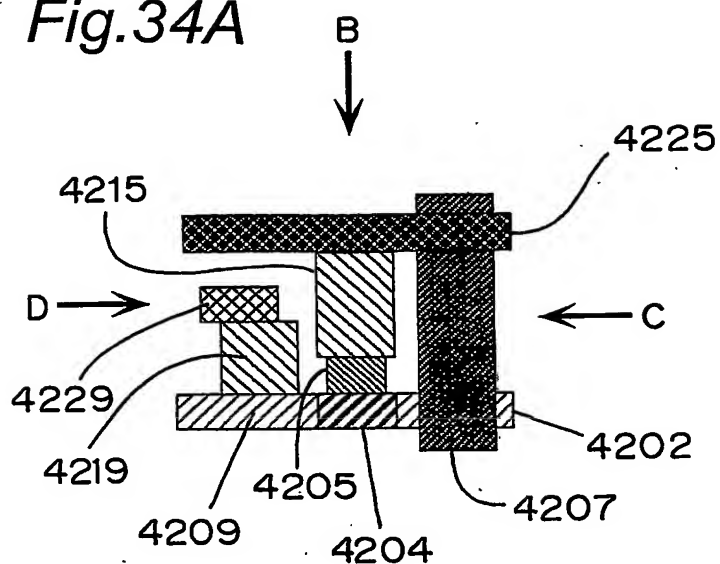
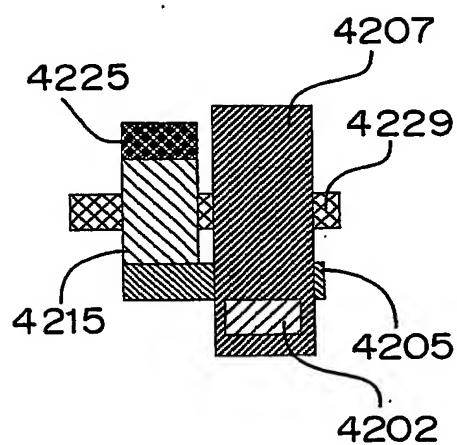
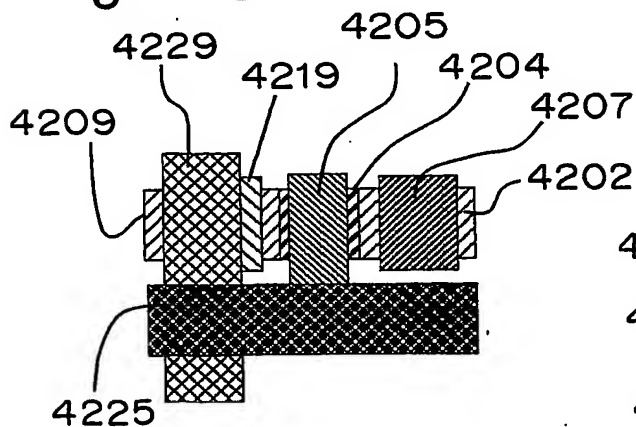
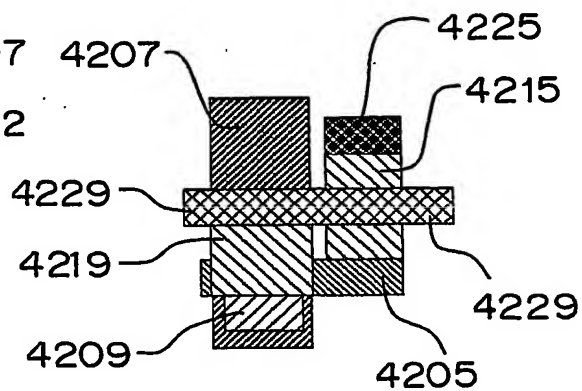


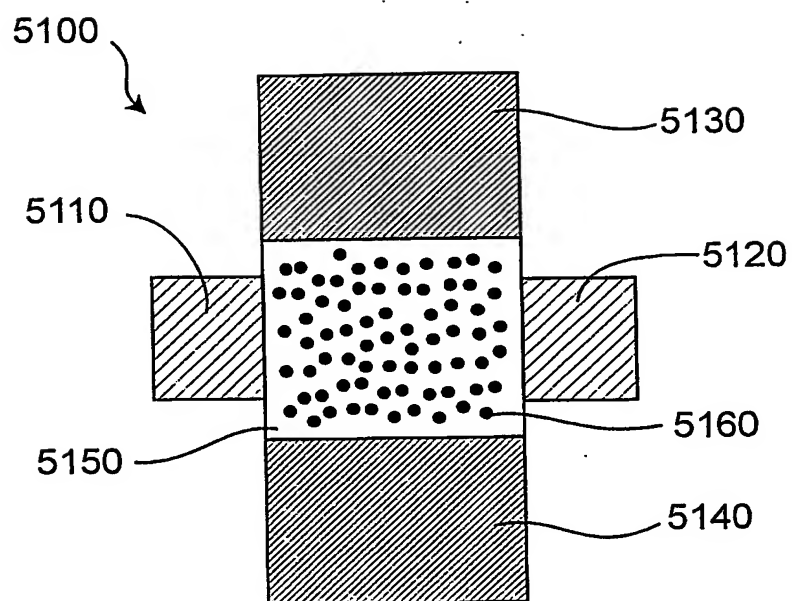
Fig.33E

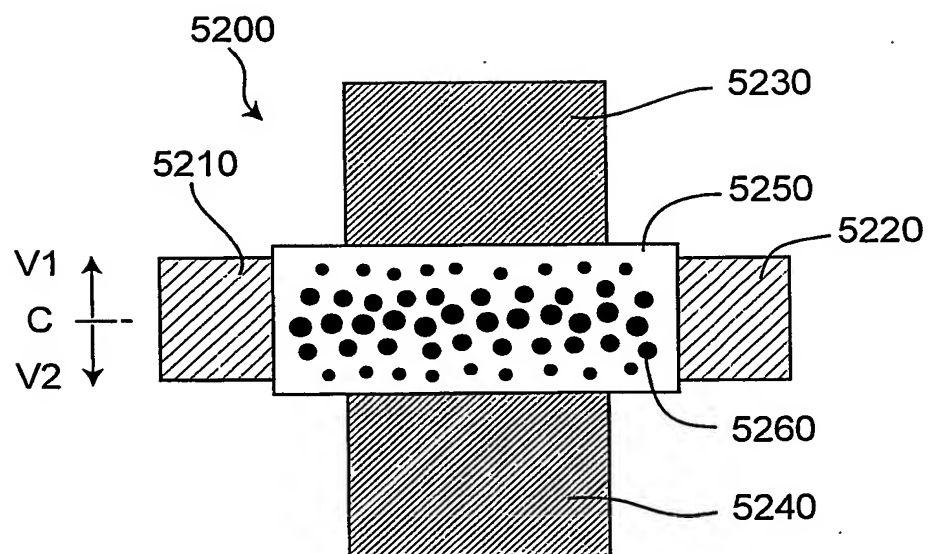


Fig.33F



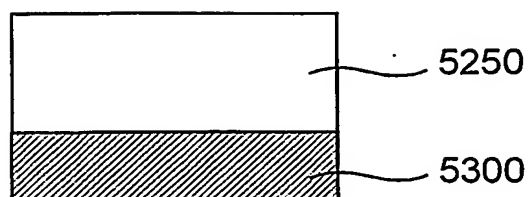
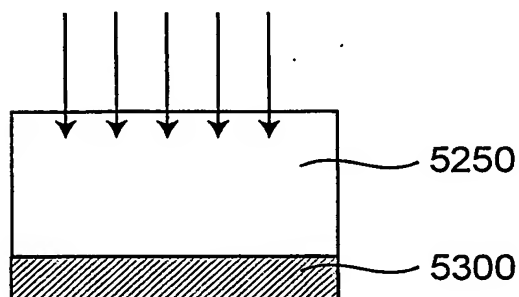
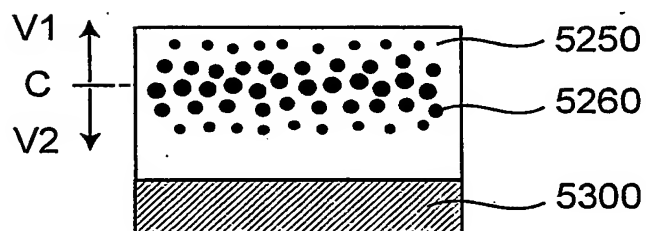
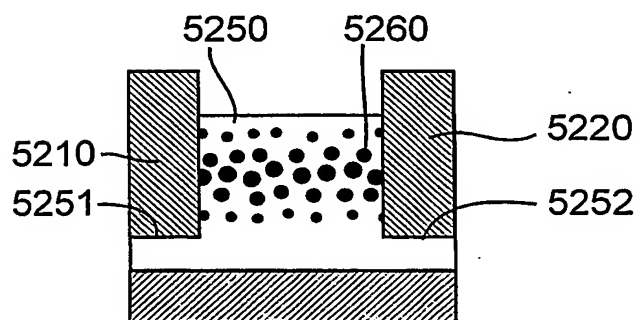
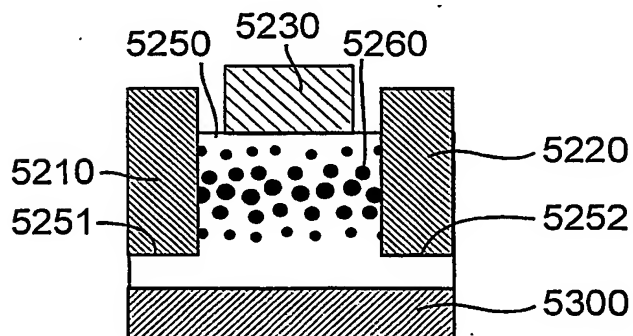
*Fig.34A**Fig.34B**Fig.34C**Fig.34D*

*Fig.35*

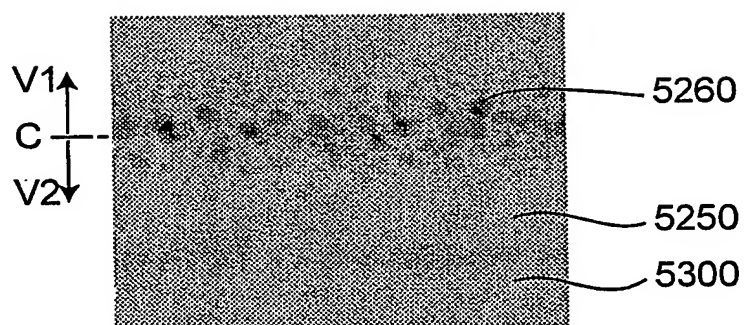
*Fig.36*

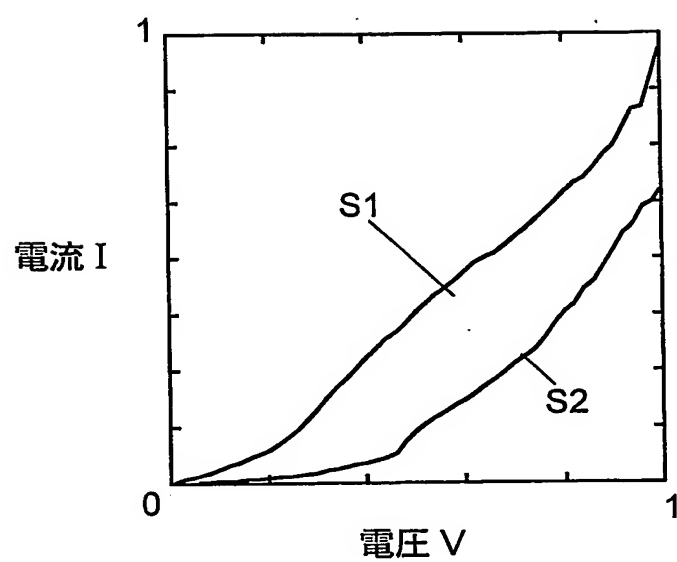


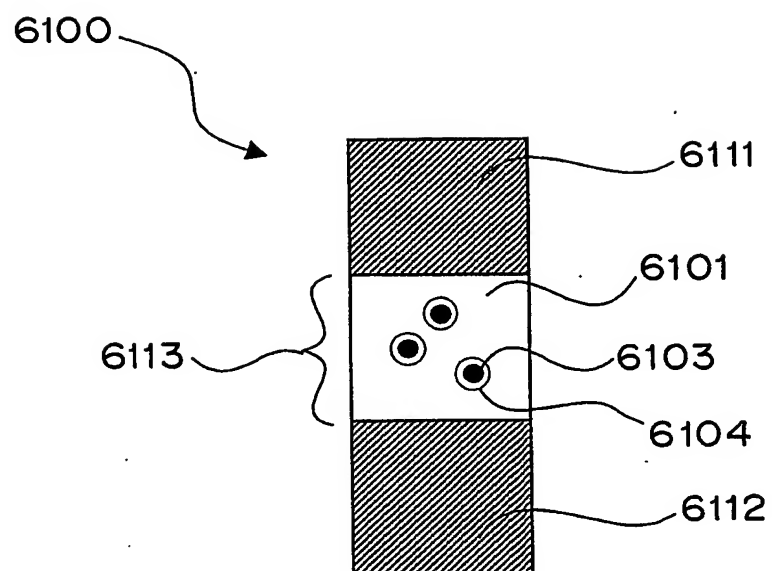
39/64

*Fig.37A**Fig.37B**Fig.37C**Fig.37D**Fig.37E*

*Fig.38*



*Fig.39*

*Fig.40*

43/64

Fig.41A

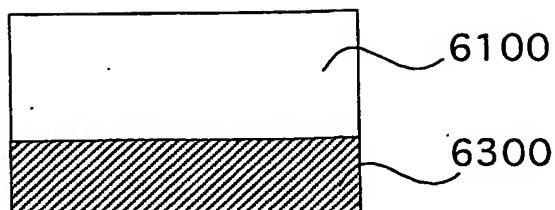


Fig.41B

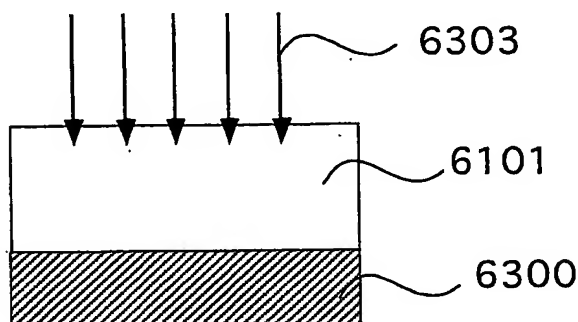


Fig.41C

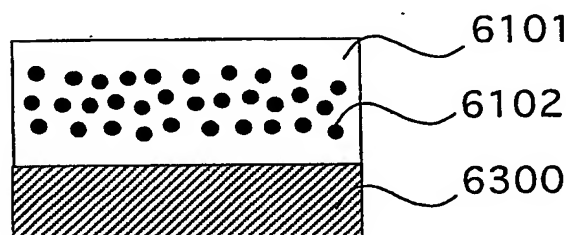


Fig.41D

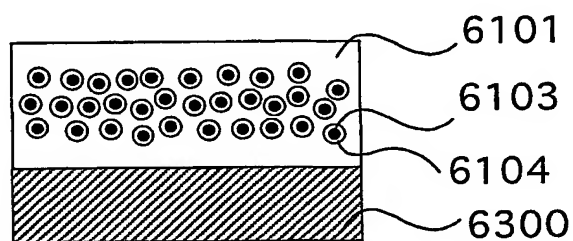


Fig.41E

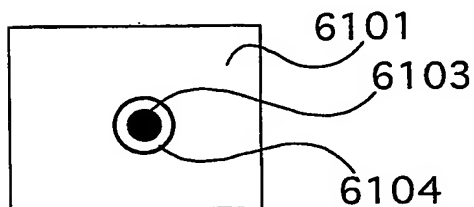
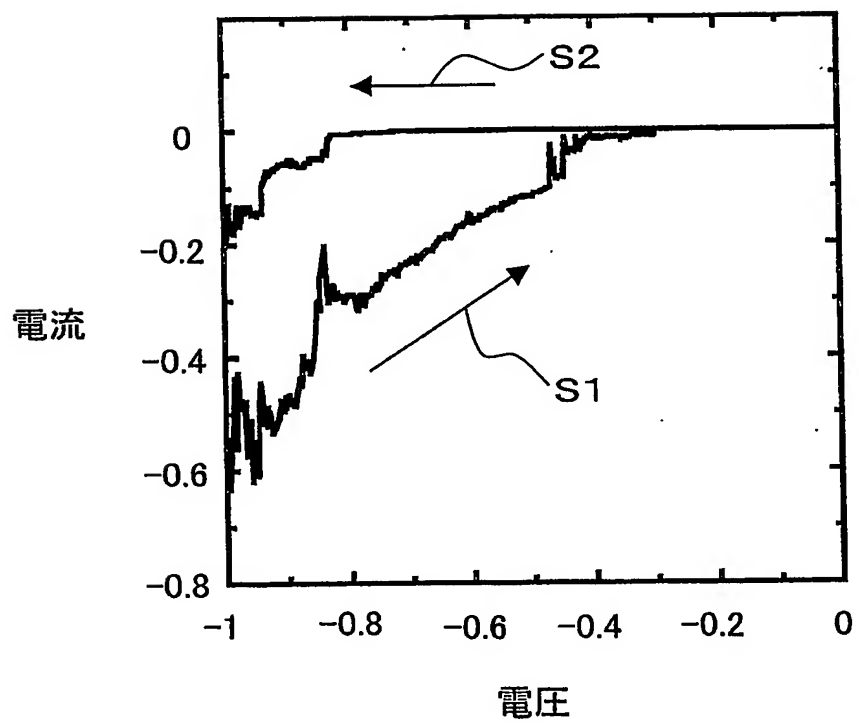


Fig.42



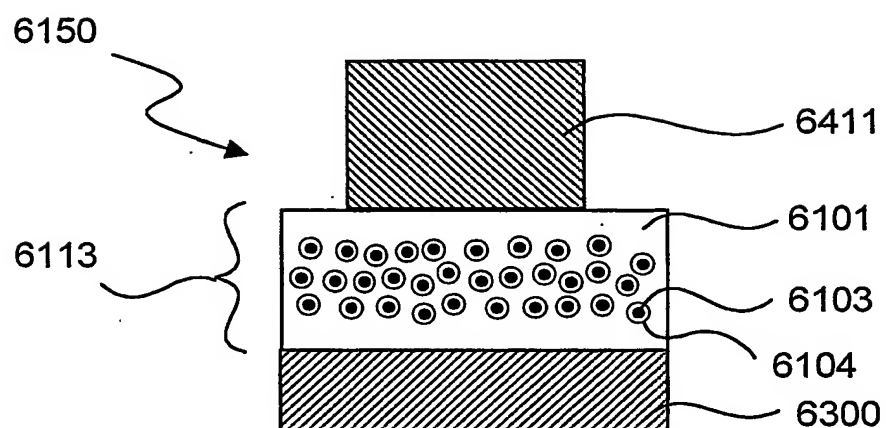
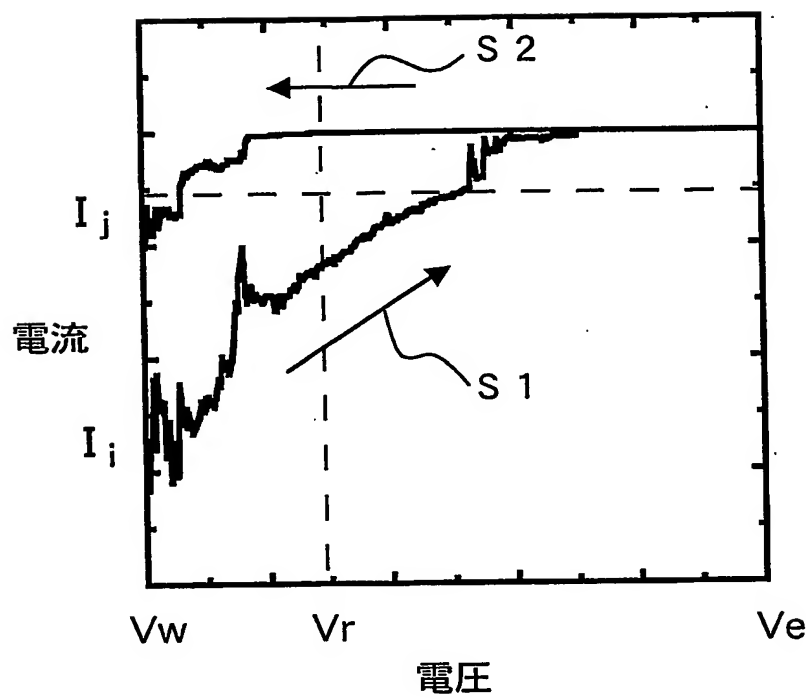
*Fig.43*

Fig.44





47/64

Fig.45A

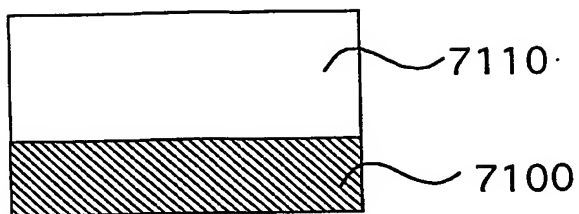


Fig.45B

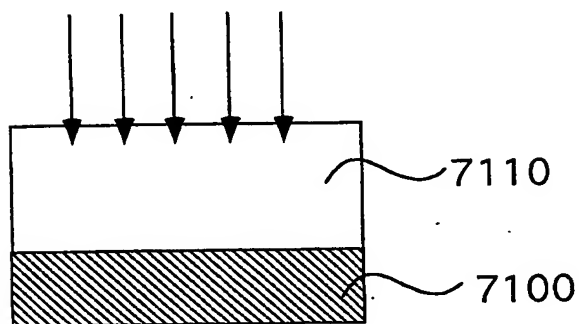


Fig.45C

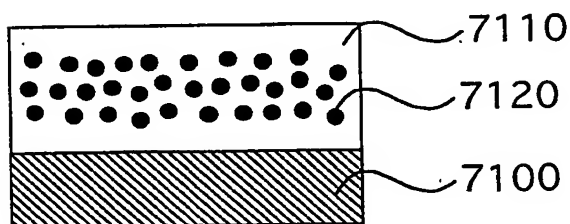


Fig.45D

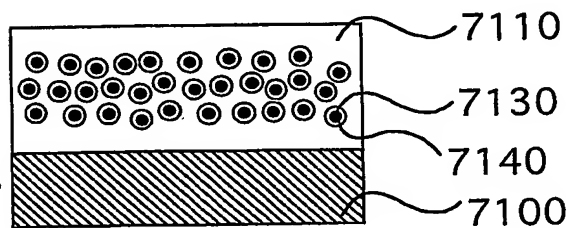
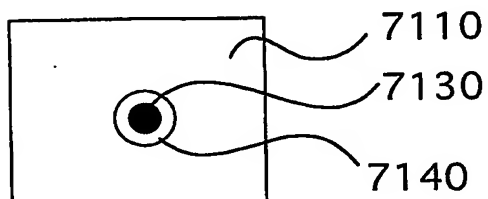


Fig.45E



48/64

Fig.46A

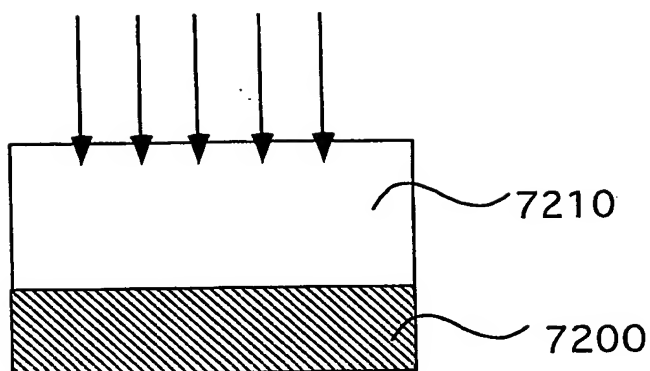


Fig.46B

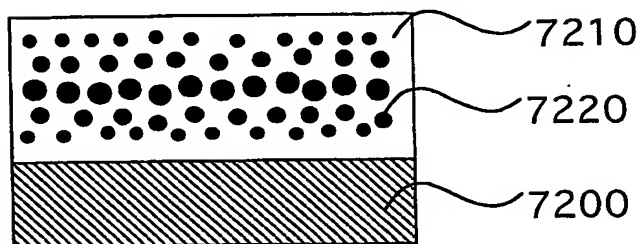


Fig.46C

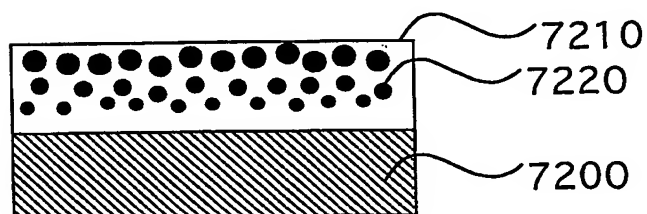


Fig.46D

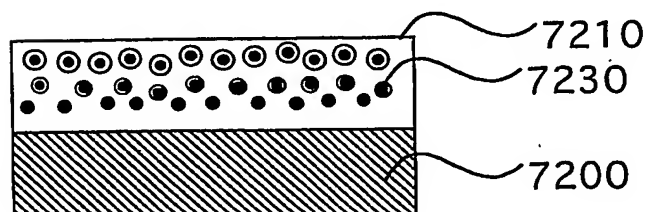


Fig.47A

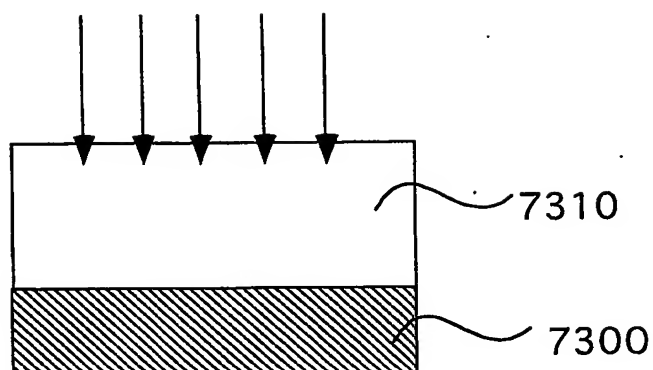


Fig.47B

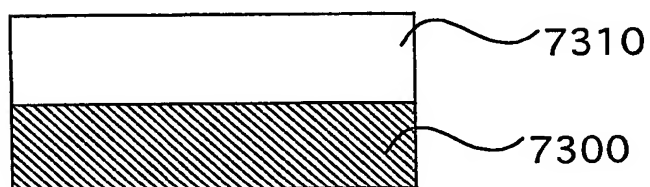


Fig.47C

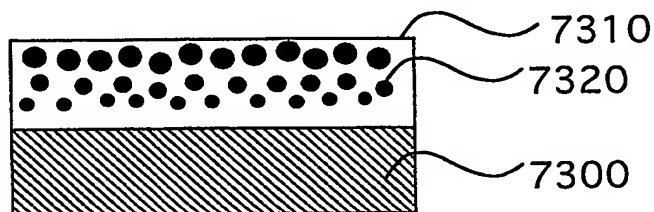
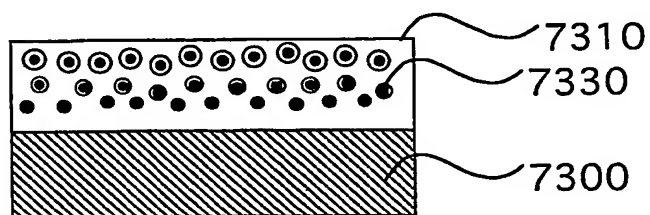


Fig.47D



50/64

Fig.48A

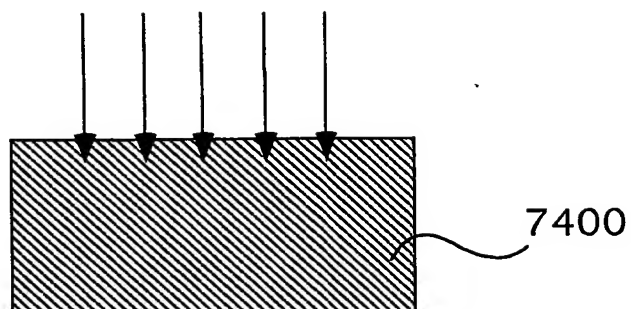


Fig.48B

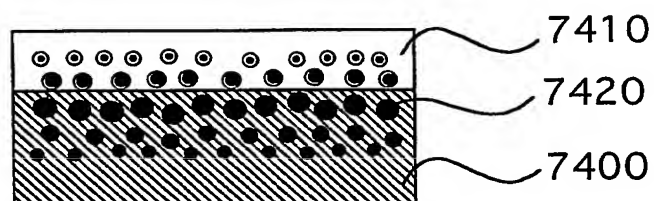
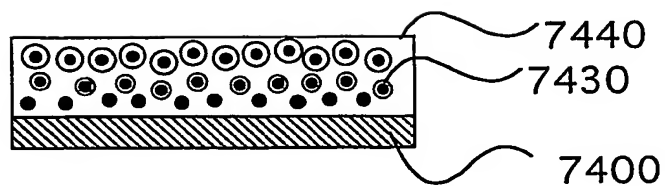
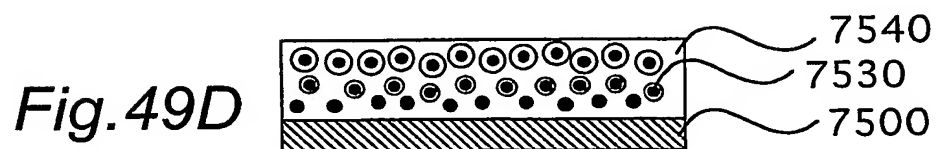
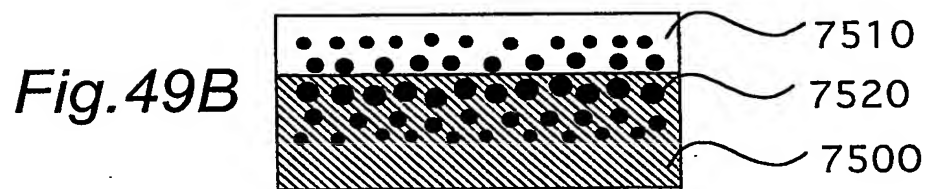
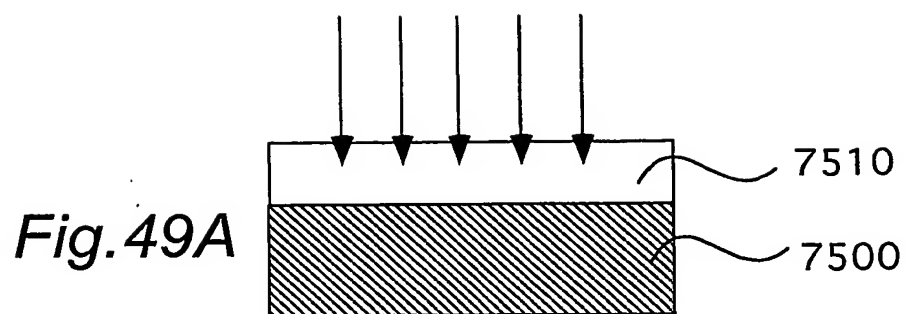


Fig.48C



Fig.48D





52/64

Fig. 50A

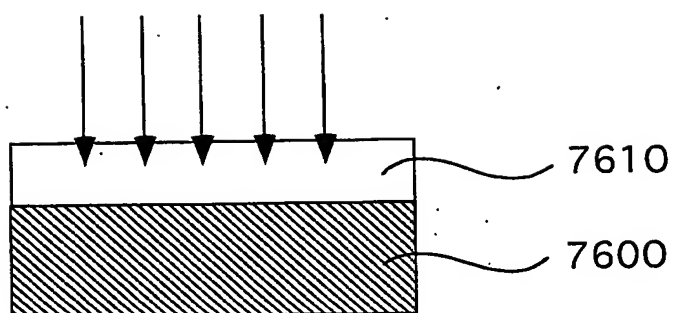


Fig. 50B



Fig. 50C

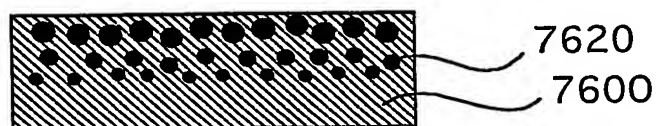
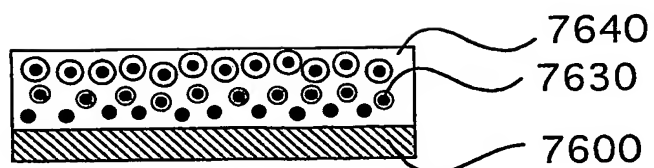
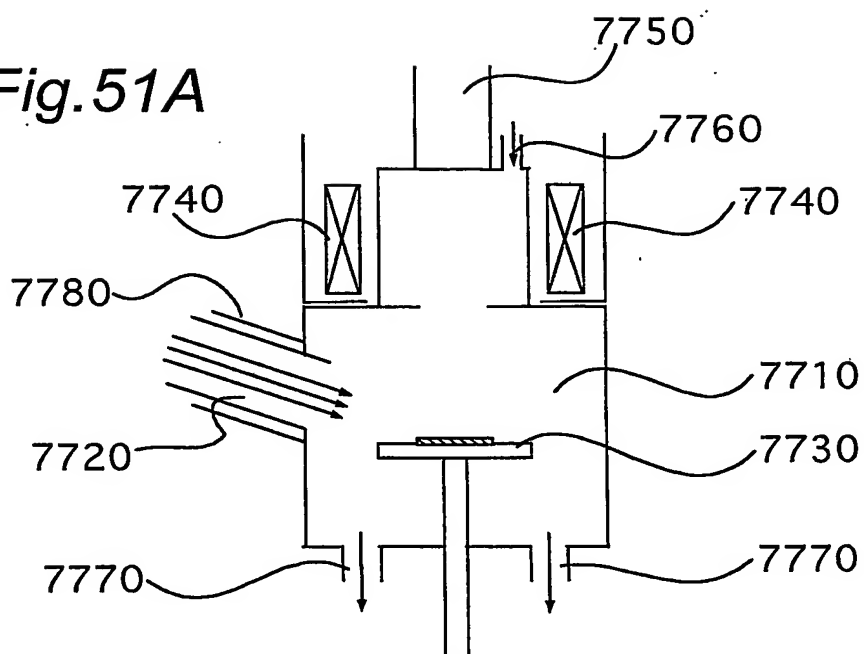
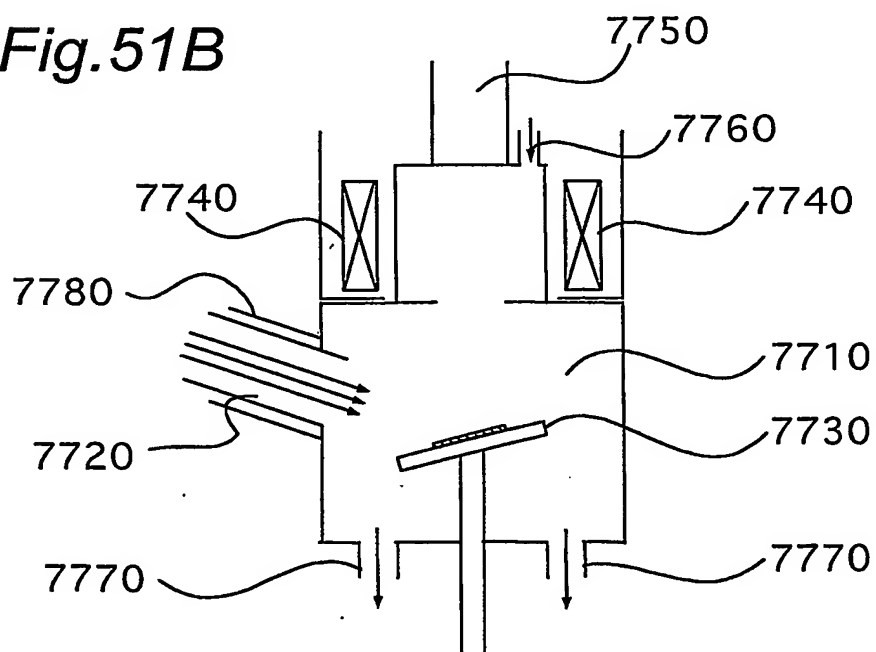


Fig. 50D



*Fig.51A**Fig.51B*

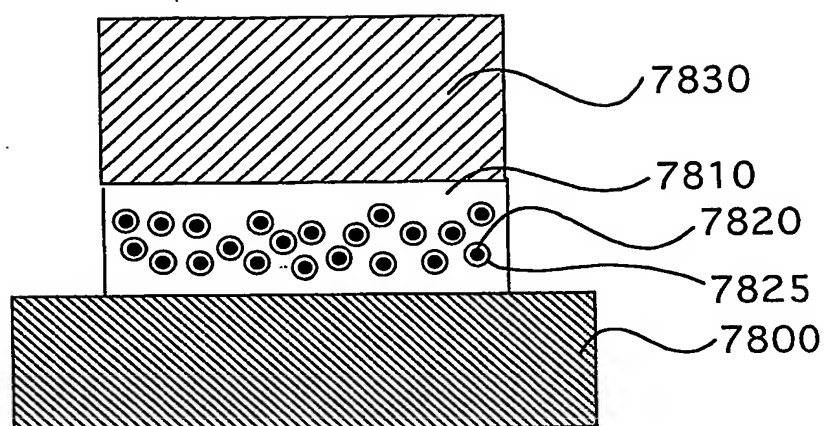
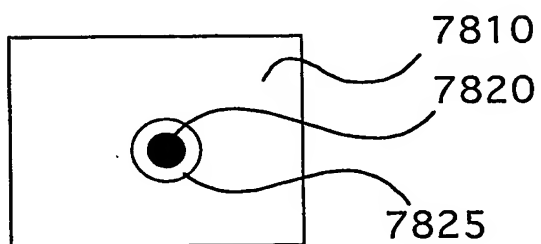
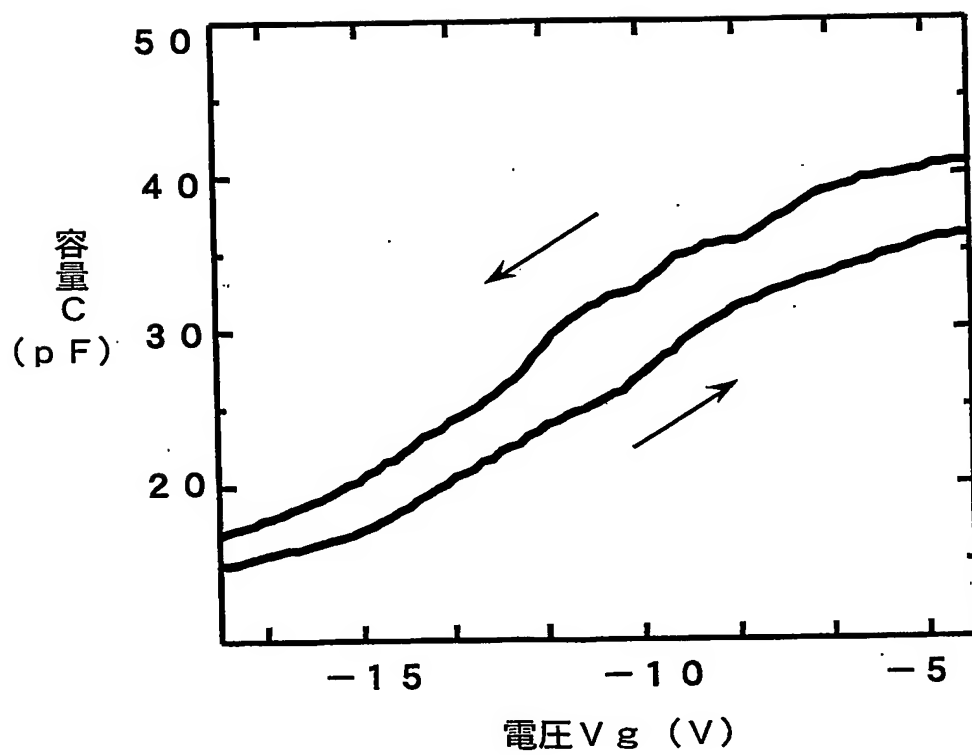
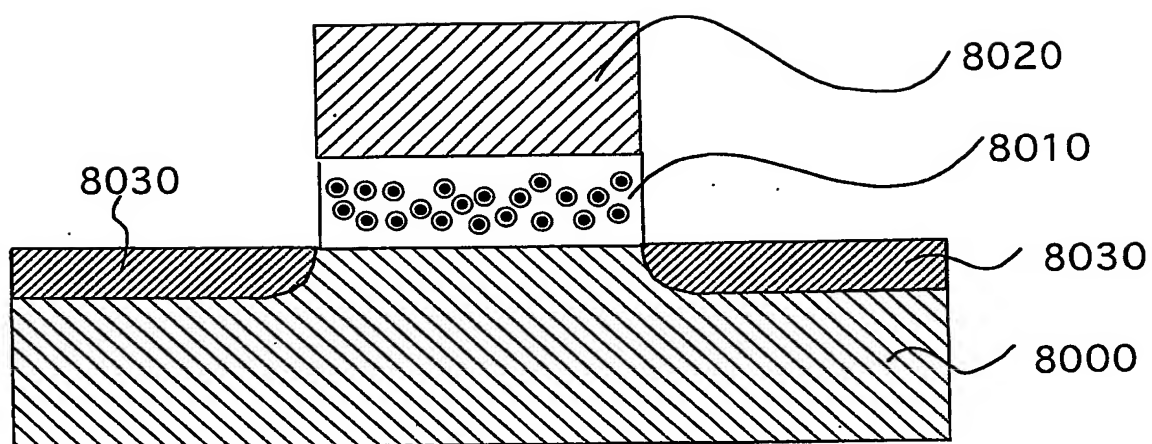
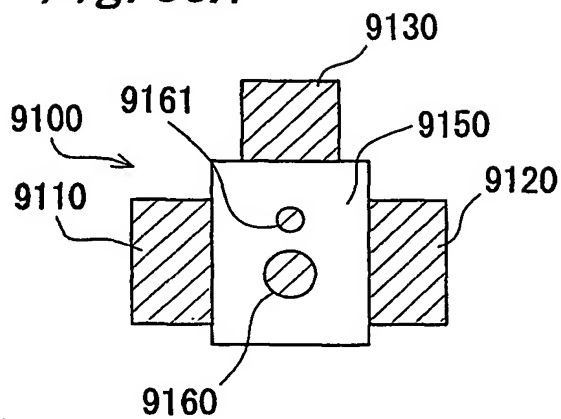
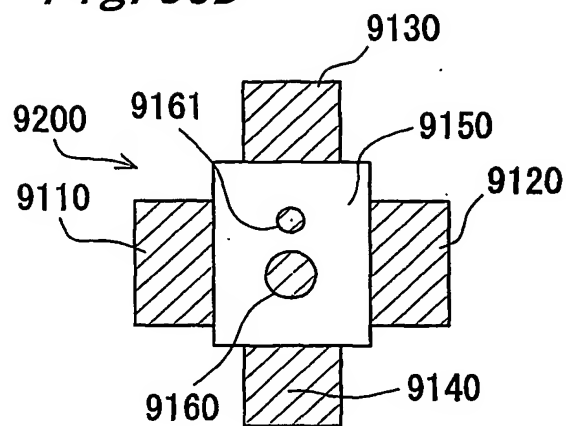
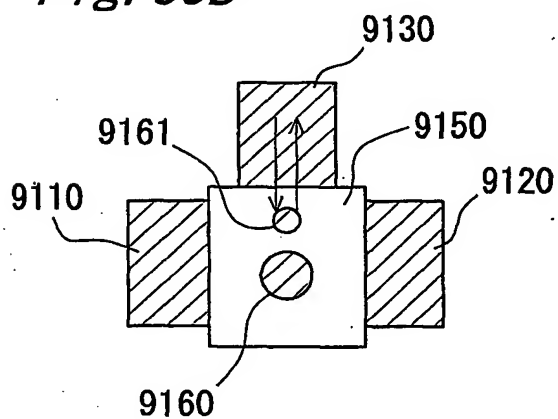
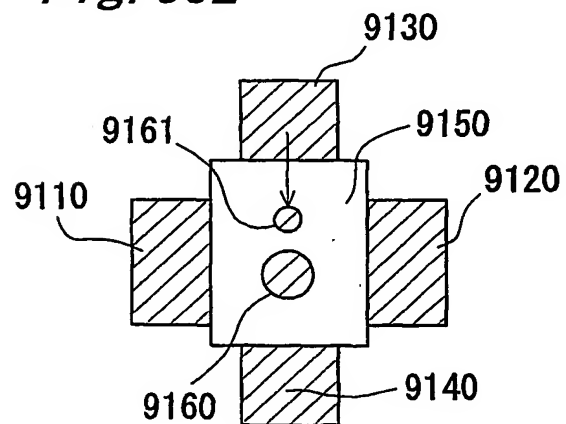
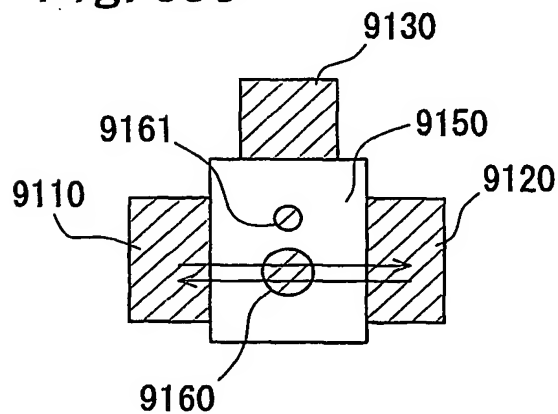
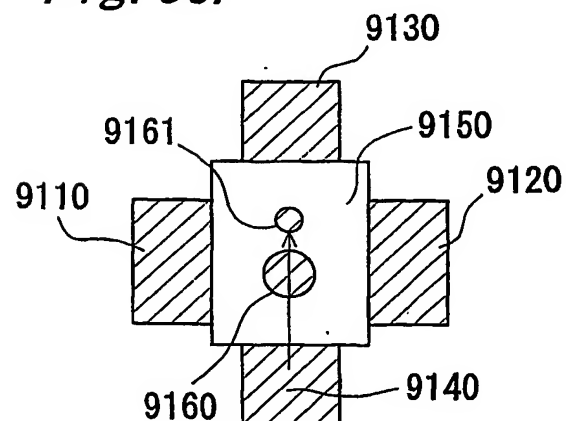
*Fig.52A**Fig.52B*



Fig.53

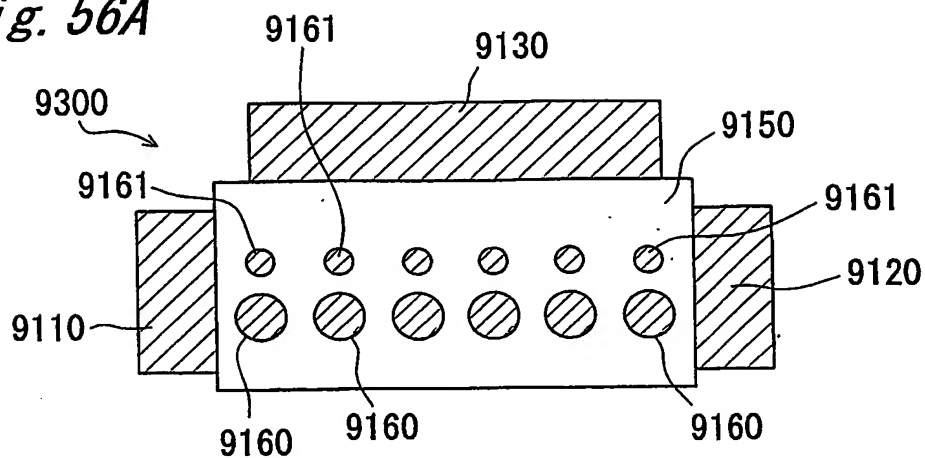


*Fig.54*

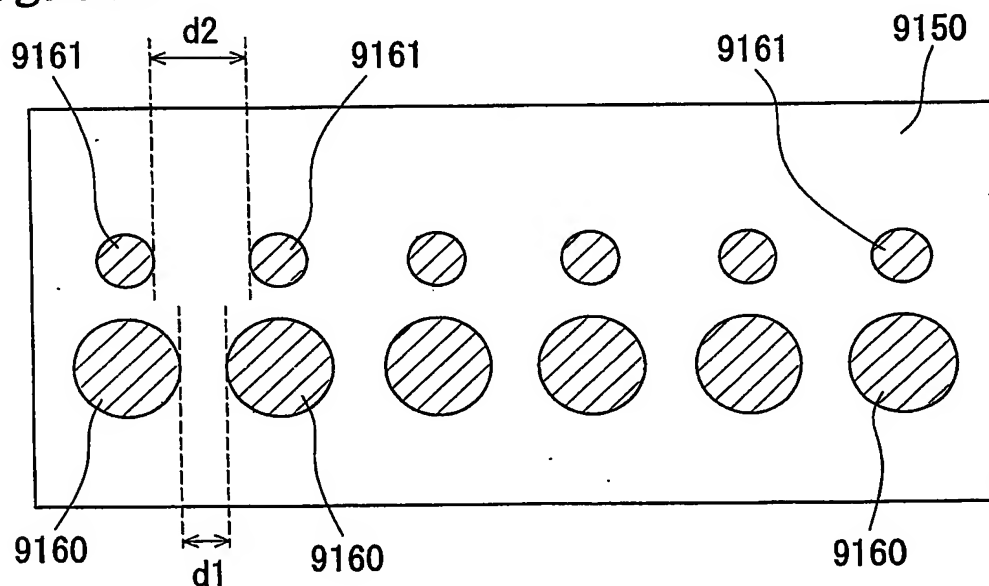
*Fig. 55A**Fig. 55D**Fig. 55B**Fig. 55E**Fig. 55C**Fig. 55F*

58/64

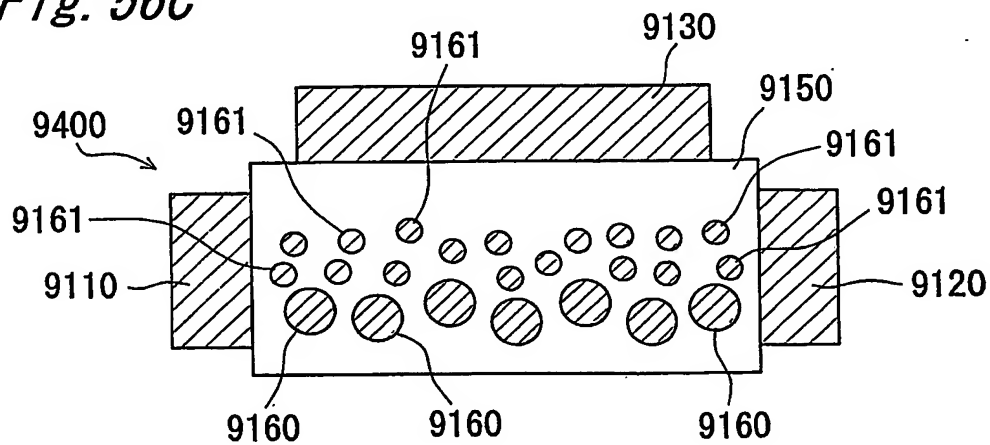
*Fig. 56A*

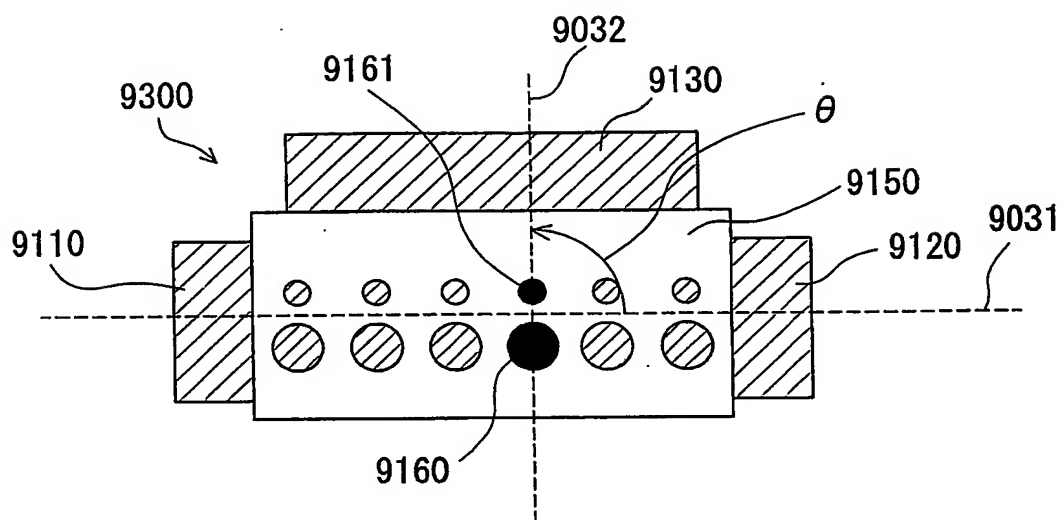
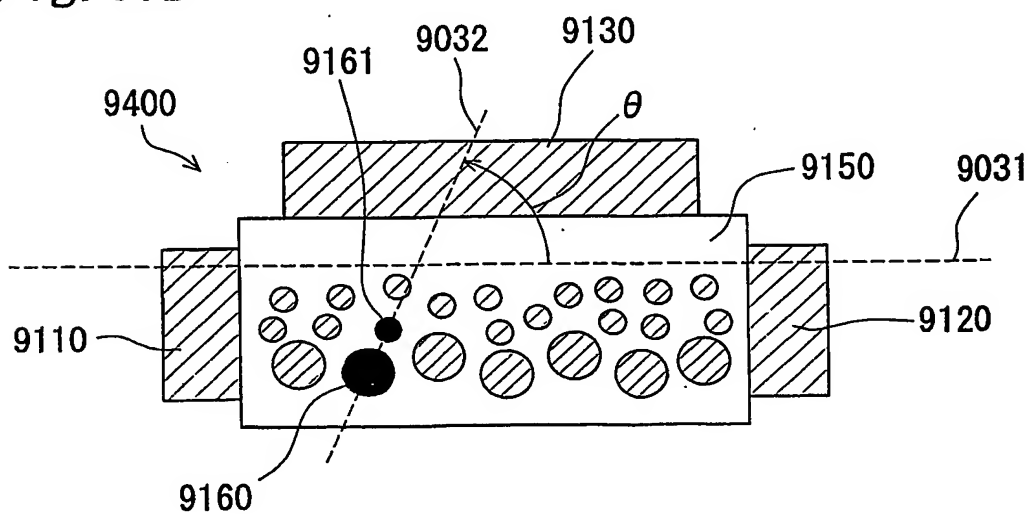


*Fig. 56B*

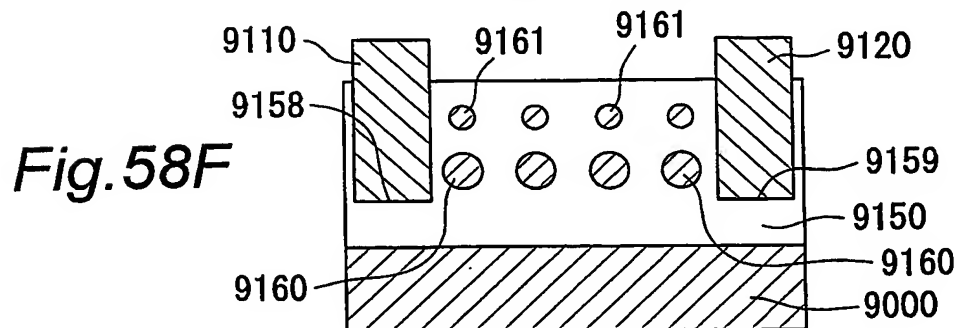
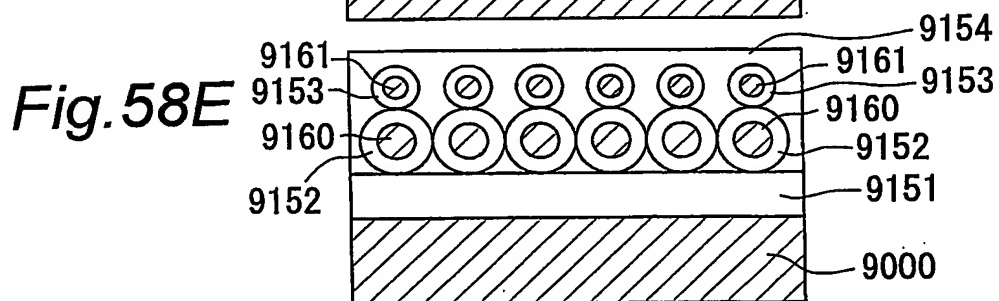
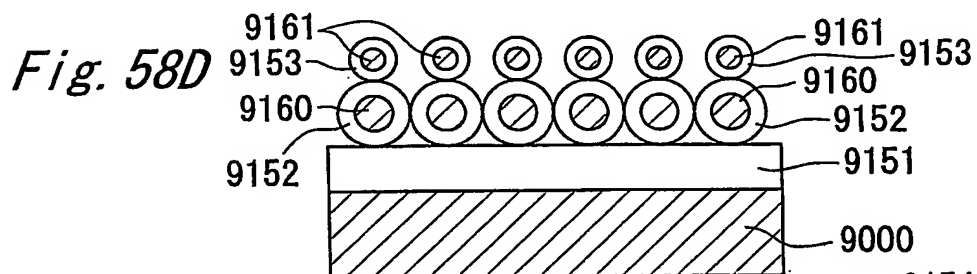
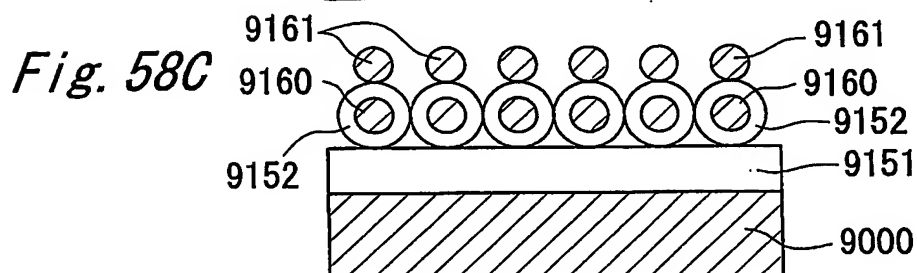
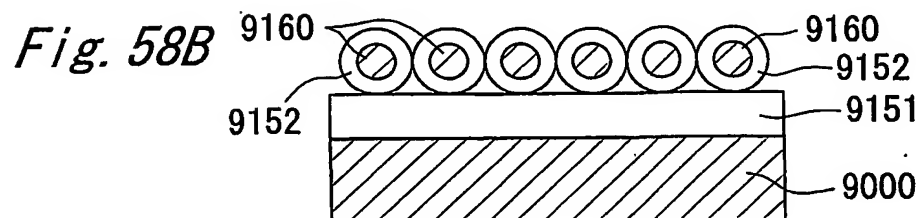
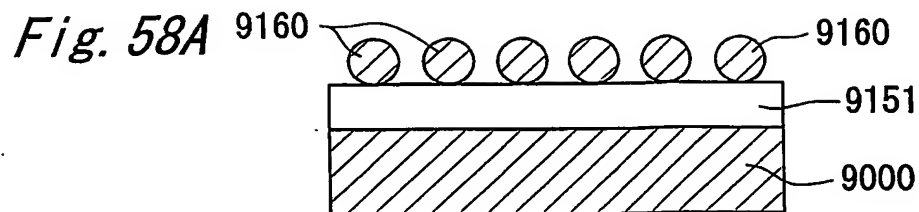


*Fig. 56C*

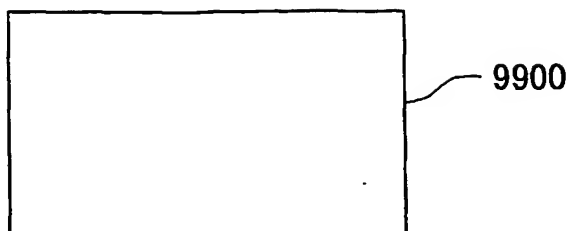


*Fig. 57A**Fig. 57B*

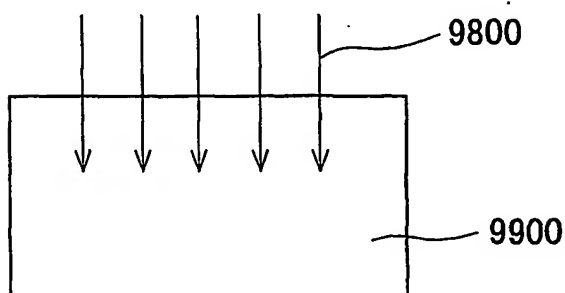
60/64



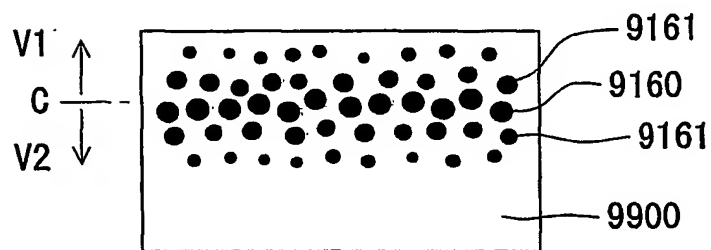
*Fig. 59A*



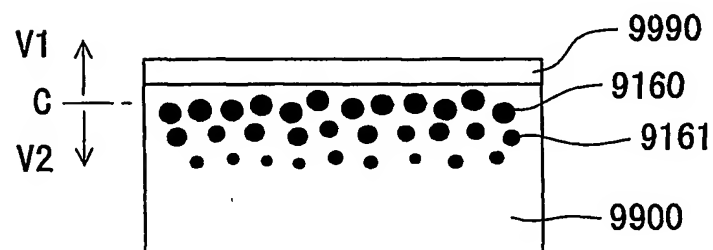
*Fig. 59B*



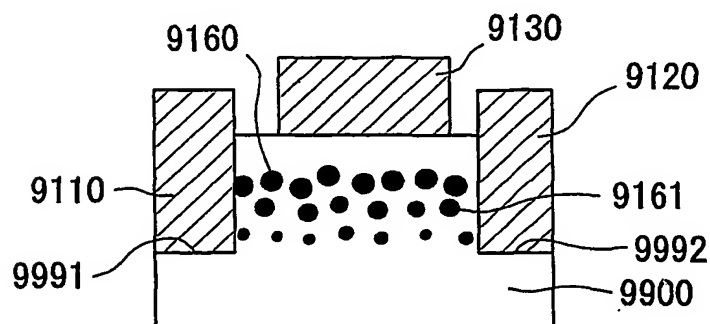
*Fig. 59C*



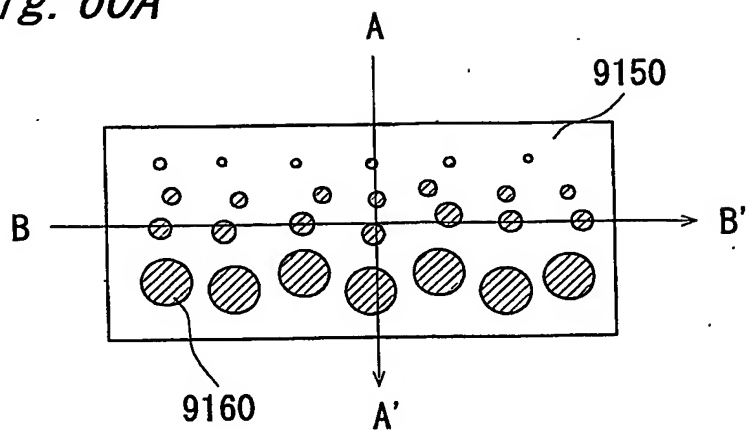
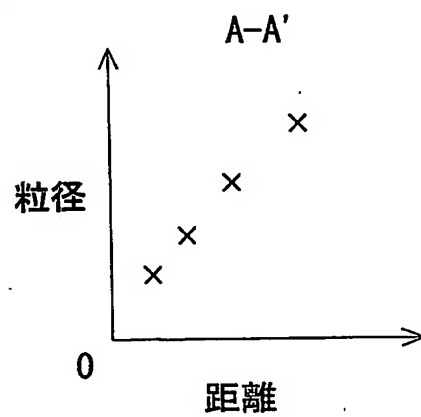
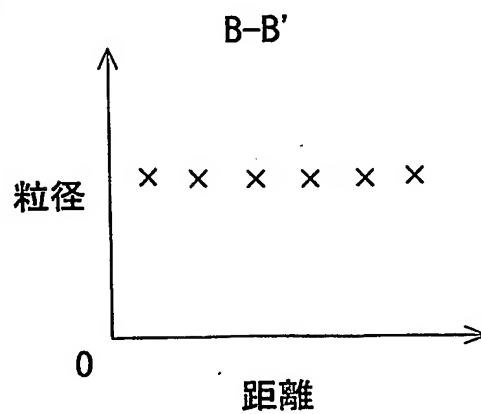
*Fig. 59D*



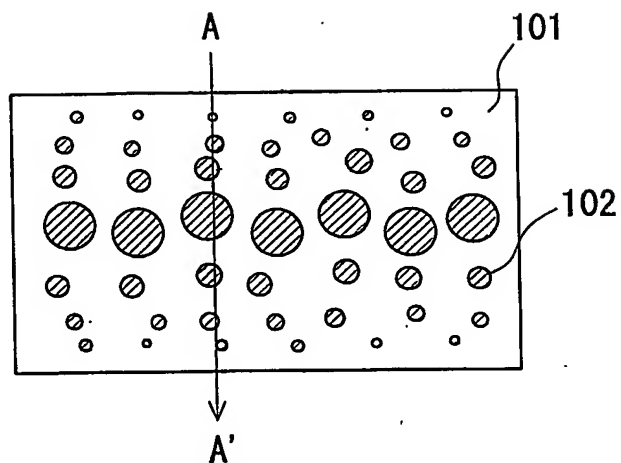
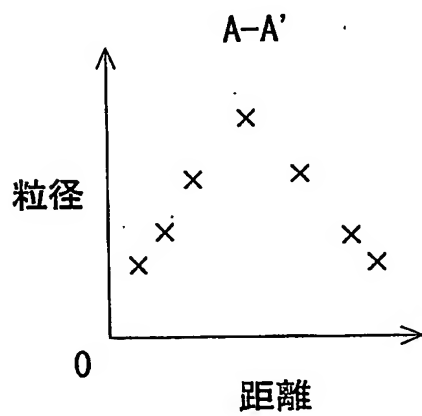
*Fig. 59E*

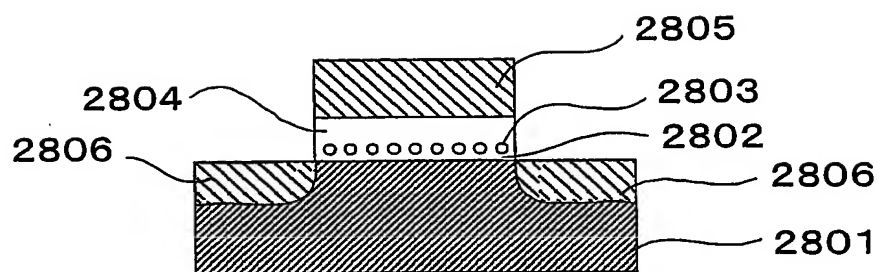


62/64

*Fig. 60A**Fig. 60B**Fig. 60C*



*Fig. 61A**Fig. 61B*

*Fig.62*

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11877

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/8247, 27/115, 29/06, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0750353 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 27 December, 1996 (27.12.96), Column 6, lines 15 to 51 & JP 9-69630 A Column 7, line 30 to column 8, line 13 & US 005731598 A	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
10 December, 2003 (10.12.03)

Date of mailing of the international search report  
24 December, 2003 (24.12.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11877

## Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must be a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-32 are linked only by the technical feature "a variable resistance functional body characterized by comprising a body of a first substance interposed between first and second electrodes and particles of a second substance provided in the body".

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11877

## Continuation of Box No. II of continuation of first sheet(1)

However, this technical feature cannot be a special technical feature since it is disclosed in prior art document EP 0750353 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD), 27 December, 1996 (27.12.96), column 6, lines 15 to 37.

Therefore, there is no special technical feature so linking the group of inventions of claims 1-32 as to form a single general inventive concept.

Consequently, it appears that the group of inventions of claims 1-32 do not satisfy the requirement of unity of invention.

Considering the specific modes of the inventions of the independent claims, the international application contains two groups of inventions of claims 1-29 and claims 30-32.

Next, the unity of invention of claims 1-29 will be examined.

The group of inventions of claims 1-29 are linked only by the technical feature "a variable resistance functional body characterized by comprising a body of a first substance interposed between first and second electrodes and particles of a second substance provided in the body before and after applying a predetermined voltage between the first and second electrodes".

However, this technical feature is disclosed in the above prior art document, column 7, line 49 to column 8, line 3. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 1-29 are divided into 11 groups of inventions: the inventions of claims 1-3, 24-26, 28; the invention of claim 4; the invention of claim 5; the invention of claim 6; the invention of claim 7; the invention of claim 8; the invention of claim 9; the inventions of claims 10, 13-23; the invention of claim 11; the invention of claim 12; and the inventions of claims 27, 29.

Next, the unity of invention of claims 1-3, 24-26, 28 will be examined.

The group of inventions of claims 1-3, 24-26, 28 are linked only by the technical feature "a variable resistance functional body characterized in that the body of the first substance is an insulator, and the particles of the second substance are conductive particles". However, this technical feature is disclosed in the above prior art document, column 6, lines 15 to 37. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 1-3, 24-26, 28 are divided into 2 groups of inventions: the inventions of claims 1-3; and the inventions of claims 24-26, 28.

Next, the unity of invention of claims 10, 13-23 will be examined.

The group of inventions of claims 10, 13-23 are linked only by the technical feature "a variable resistance functional body characterized in that a third electrode to which a voltage can be applied in a direction generally perpendicular to the direction in which the first and second electrode are opposed to each other is adjacent to the body of the first substance".

However, this technical feature is disclosed in the above prior art document, column 8, lines 4 to 9. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 10, 13-23 are divided into 4 groups of inventions: the inventions of claims 10, 13-19; the invention of claim 20; the invention of claim 21; and the inventions of claims 22, 23.

Consequently, the international application contains 16 groups of inventions not satisfying the requirement of unity of invention.

No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims 1-3.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/8247, 27/115, 29/06, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 0750353 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD), 1996. 12. 27, 第6欄, 第15-51行 & JP 9-69630 A, 第7欄第30行-第8欄第13行 & US 005731598 A	1-3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

10. 12. 03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭



4M 3238

電話番号 03-3581-1101 内線 3462

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であり、請求の範囲1-32に記載されている一群の発明は、「第1電極と第2電極との間に挟まれた第1物質からなる物体と、上記物体中に配置された第2物質からなる複数の微粒子を備えることを特徴とする抵抗変化機能体」であるという事項でのみ連関していると認める。

(以下、特別ページ参照)

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-3

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第1ページの続葉(1)の第II欄の続き)

しかしながら、この事項は先行技術文献文献EP 0750353 A2 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD), 1996. 12. 27, 第6欄, 第15-37行に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-32に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。

そのため、請求の範囲1-32に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、請求の範囲1-29と、請求の範囲30-32とに区分される2個の発明が記載されていると認める。

さらに、請求の範囲1-29について単一性の検討を行う。

請求の範囲1-29に記載されている一群の発明は、「第1電極と第2電極との間に挟まれた第1物質からなる物体と、上記物体中に、上記第1電極と第2電極との間に所定の電圧を印可した前後で、配置された第2物質からなる複数の微粒子を備えることを特徴とする抵抗変化機能体」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献, 第7欄第49行-第8欄第3行に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-29には、請求の範囲1-3, 24-26, 28と、請求の範囲4と、請求の範囲5と、請求の範囲6と、請求の範囲7と、請求の範囲8と、請求の範囲9と、請求の範囲10, 13-23と、請求の範囲11と、請求の範囲12と、請求の範囲27, 29とに区分される11個の発明が記載されていると認める。

さらに、請求の範囲1-3, 24-26, 28について単一性の検討を行う。

請求の範囲1-3, 24-26, 28に記載されている一群の発明は、「第1物質からなる物体は絶縁体であり、第2物質からなる微粒子は導電性微粒子であることを特徴とする抵抗変化機能体」であるという事項でのみ連関していると認める。しかしながら、この事項は上記先行技術文献, 第6欄, 第15-37行に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-3, 24-26, 28には、請求の範囲1-3と、請求の範囲24-26, 28とに区分される2個の発明が記載されていると認める。

さらに、請求の範囲10, 13-23について単一性の検討を行う。

請求の範囲10, 13-23に記載されている一群の発明は、「第1物質からなる物体に対して、上記第1の電極と第2の電極が対向する方向に略垂直な方向から電圧を印可し得る第3電極が隣接していることを特徴とする抵抗変化機能体」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献, 第8欄, 第4-9行に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲10, 13-23には、請求の範囲10, 13-19と、請求の範囲20と、請求の範囲21と、請求の範囲22, 23とに区分される4個の発明が記載されていると認める。

よって、この国際出願は、発明の単一性の要件を満たさない16個の発明を含むものである。

なお、出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る請求の範囲1-3について作成した。